

考试科目名称 计算机组织与系统结构 (A 卷)

2008——2009 学年第 2 学期 教师 袁春风/窦万春 考试方式: 闭卷
系(专业) 计算机科学与技术 年级 2007 班级 _____
学号 _____ 姓名 _____ 成绩 _____

题号	一	二	三	四	五	六
分数						

得分	
----	--

一、填空题(本大题共 10 小题, 每空 1 分, 共 20 分)

- 在计算机系统层次结构中, 指令集体系结构(或 ISA, 或指令系统) 处于硬件和软件界面, 硬件所有功能由它集中体现, 软件通过它在硬件上执行。
- 任何高级语言源程序或汇编语言源程序都必须翻译成机器代码才能在硬件上执行。完成这种翻译转换任务的程序有汇编程序、解释程序(或解释器) 和 编译程序(或编译器) 三类。
- 响应时间和 吞吐率(或带宽, 或数据传输率) 是衡量一个计算机系统好坏的两个基本性能。不同应用场合, 用户关心的性能不同。例如, 对于银行、证券等事务处理系统来说, 事务处理用户主要关心的是 响应时间。
- 一个变量在计算机内部用 0 或 1 编码表示的数被称为 机器数, 变量真正的值被称为 真值。
- 假定某变量 x 存放在寄存器 R1 中为 1111 1111 1111 1111 1111 1011 1100 0000B, 则变量 x 在屏幕上用 16 进制显示为 0x FFFFBC0。若 x 的类型为 int, 则 x 的值为 -1088; 对 R1 进行算术左移 4 位后的值在屏幕上显示为 0x FFFFBC00; 对 R1 算术右移 4 位后为 0x FFFFFBC; 对 R1 逻辑右移 4 位后为 0x 0FFFFBC。
- 与硬连线路控制器相比, 微程序控制器的缺点是 速度慢。
- 假定某计算机采用小端方式, 按字节编址。若某变量 x 的主存地址为 00001000H, 其数据类型为 float, 已知 $x = -1.5$, 则主存地址 00001000H 和 00001003H 中存放的内容分别是 00 H 和 BF H。
- 可以用一个特殊的 Cache 来记录最近使用页的页表项, 因为页表项主要用于地址转换, 所以把这种特殊的 Cache 称为转换后援缓冲器, 简称 TLB (或快表)。
- 当处理器发现有未被屏蔽的中断请求发生时, 通常通过执行一个“中断隐指令”进行中断响应。在中断响应过程中, 完成三个任务, 它们是 关中断 (或清除中断允许标志)、保存断点 (及机器状态)、将中断服务程序首地址送 PC。
- 现代计算机的主存大多采用字节编址方式。所以, 假定一个分页虚拟存储器系统的虚拟地址位数为 48 位, 则虚拟(逻辑)地址空间大小应为 256 TB。若页面大小为 512KB, 则一个程序最多可以有 512M (或 2^{29}) 个页面。

得分

二、选择题（每小题 1 分，共 10 分）

- 以下哪种程序属于系统软件？（ B ）
A. 浏览器程序 B. C 语言编译程序 C. 邮件收发程序 D. 金山词霸
- 假设某机器 M 的时钟频率为 2GHz，用户程序 P 在 M 上的指令条数为 4×10^9 ，其 CPI 为 1.2，若在机器 M 上从程序 P 开始启动到执行结束所需的时间是 4 秒，则 P 所用 CPU 时间占整个 CPU 时间的百分比大约是（ C ）。
A. 10% B. 42% C. 60% D. 100%
- 16 位补码表示的带符号整数的表示范围是（ C ）。
A. -32767 ~ +32767 B. -32767 ~ +32768
C. -32768 ~ +32767 D. -32768 ~ +32768
- 假定某数采用 IEEE754 单精度浮点数格式表示为 C5100000H，则该数的值是（ B ）。
A. $(-1.125)_{10} \times 2^{10}$ B. $(-1.125)_{10} \times 2^{11}$
C. $(-0.125)_{10} \times 2^{11}$ D. $(-0.125)_{10} \times 2^{10}$
- 已知 SN74181 和 SN74182 芯片分别是 4 位 ALU 部件和 4 位 BCLA 部件，用它们构成 64 位快速 ALU 时，分别需要几片 SN74181 和几片 SN74182 芯片？（ D ）
A. 8, 2 B. 8, 3 C. 16, 4 D. 16, 5
- 在不考虑异常和中断的情况下，以下给出的 MIPS 指令中，执行所花时间最长的是（ B ）。
A. add B. mult C. ori D. beq
- 假设某计算机中已配有 000000H~007FFFH 的 ROM 区，地址线为 24 位，现在再用 $16K \times 4$ 位的 RAM 芯片构成剩下的 RAM 区 0080000H~FFFFFFH，则需要这样的 RAM 芯片多少个？（ C ）
A. 511 B. 1022 C. 2044 D. 4088
- 假设地址为 3600H 的内存单元中的内容为 00FCH，地址为 00FCH 的内存单元的内容为 3200H，而 3200H 单元的内容为 FC00H，某指令操作数寻址方式为变址寻址，执行该指令时变址寄存器的内容为 0400H，指令中给出的形式地址为 3200H，则该指令操作数为（ A ）
A. 00FCH B. 3200H C. 3600H D. FC00H
- 假定一个多周期处理器有以下几类 MIPS 指令：R 型运算指令、I 型运算指令、load/store 指令、分支指令 Beq、J 型跳转指令。若多路选择器、控制单元、PC、扩展单元和传输线路都不考虑延迟，其它各主要功能单元的操作时间如下：指令存储器和数据存储器：300ps；ALU 和加法器：200ps；寄存器堆：100ps，则该 CPU 的时钟周期大约为（ C ）。
A. 100ps B. 200ps C. 300ps D. 1ns
- 以下是有关数据冒险和转发技术的叙述：
① 并不是所有数据冒险都能通过转发解决
② 可以通过调整指令顺序和加入 nop 指令消除所有数据冒险
③ 五段流水线中 Load-Use 数据冒险会引起一个时钟周期的阻塞

④ 前面的分支指令和后面的 ALU 运算指令肯定不会发生数据冒险

以上叙述中，正确的有（ D ）。

- A. 仅①和②和④ B. 仅①和③ C. 仅①和③和④ D. 全部

得分	
----	--

三、判断下列叙述是否正确。（对的打√，错的打 X，每题 1 分，共 10 分）

1. 与 SRAM 芯片相比， DRAM 芯片的集成度更高、速度更快。（ X ）
2. 采用直写法（Write Throgh）时需要在 Cache 每行中增加一位修改位（Dirty bit）。（ X ）
3. Cache 命中时 TLB 一定命中，但 TLB 命中时 Cache 不一定命中。（ X ）
4. 带有 TLB 和 Write Back 写策略 Cache 的 CPU 执行 Store 指令时，至少要访问主存一次。（ X ）
5. 采用寄存器间接寻址方式的操作数一定在存储器中。（ √ ）
6. 微程序控制器技术适合于复杂指令集计算机。（ √ ）
7. 超标量流水线处理器的 CPI 小于 1。（ √ ）
8. 超流水线技术是指对流水线进一步细分以得到更多流水段的流水线技术。（ √ ）
9. 采用信号线复用方式能提高总线带宽。（ X ）
10. 磁盘的磁头号就是磁道号。（ X ）

得分	
----	--

四、简单解释以下术语的含义。（每个 2 分，共 10 分）

1. 标志寄存器（Flags Register）
用来存放标志信息（或条件码）的寄存器，这些标志信息包括：CF、ZF、ZF、OF 等。
2. 微程序（Microprogram）
一个微指令序列，用来实现一条机器指令功能，微程序设计是实现控制器的一种方式。
3. 异常（Exception）
由处理器内部异常事件引起的意外事件。如除数为 0，溢出、断点、单步跟踪、寻址错、访问超时、非法操作码、堆栈溢出、缺页、地址越界、数据格式错等。
4. 旁路（Bypassing）
是一种处理数据冒险的措施，也称“转发”技术。通过将前面指令执行的结果从某个流水线段寄存器直接引到后面指令的执行部件来消除数据冒险。
5. 突发传送（Burst Transmission）
是一种在一次总线事务中传输多个数据的方式，只要传送一个首地址，后面连续传送多个数据信息。

得分

五、分析设计题（共 40 分）

1. （12分）通过对方格中每个点设置相应的CMYK值就可以将方格图上相应的颜色。以下三个程序段都可实现对一个8x8的方格中图上黄色的功能。

<pre> struct pt_color { int c; int m; int y; int k; } struct pt_color square[8][8]; int i, j; for (i = 0; i < 8; i++) { for (j = 0; j < 8; j++) { square[i][j].c = 0; square[i][j].m = 0; square[i][j].y = 1; square[i][j].k = 0; } } </pre>	<pre> struct pt_color { int c; int m; int y; int k; } struct pt_color quare[8][8]; int i, j; for (i = 0; i < 8; i++) { for (j = 0; j < 8; j++) { square [j] [i].c = 0; square [j] [i].m = 0; square [j] [i].y = 1; square [j] [i].k = 0; } } </pre>	<pre> struct pt_color { int c; int m; int y; int k; } struct pt_color square[8][8]; int i, j; for (i = 0; i < 8; i++) for (j = 0; j < 8; j++) square[i][j].y = 1; for (i = 0; i < 8; i++) for (j = 0; j < 8; j++) { square[i][j].c = 0; square[i][j].m = 0; square[i][j].k = 0; } </pre>
--	---	--

程序段A

程序段B

程序段C

假设Cache的数据区大小为512B，采用直接映射，块大小为32B，存储器按字节编址，sizeof(int)=4。编译时变量i和j分配在寄存器中，数组square按行优先存放在0000 0C80H（假设主存地址为32位）开始的连续区域中。要求：

- （1）主存地址如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。
- （2）对三个程序段A、B、C中数组访问的时间局部性和空间局部性进行分析比较。
- （3）画出主存中的数组元素与数据Cache中行的对应关系图。
- （4）三个程序段A、B、C执行过程中，写操作缺失率各是多少？

参考答案：

- （1）由题意知，主存地址的位数为 32 位，Cache 的行数为：512B/32B=16；

所以，32 位地址中最低 5 位为块内地址；中间 4 位为行号；高 23 位为标志字段。

- （2）对于时间局部性来说：

程序段 A、B 和 C 中，都是每个数组元素只被访问一次，所以都没有时间局部性；

对于空间局部性来说：

程序段 A 访问顺序和存放顺序一致，所以，空间局部性好；

程序段 B 访问顺序和存放顺序不一致，所以，空间局部性不好；

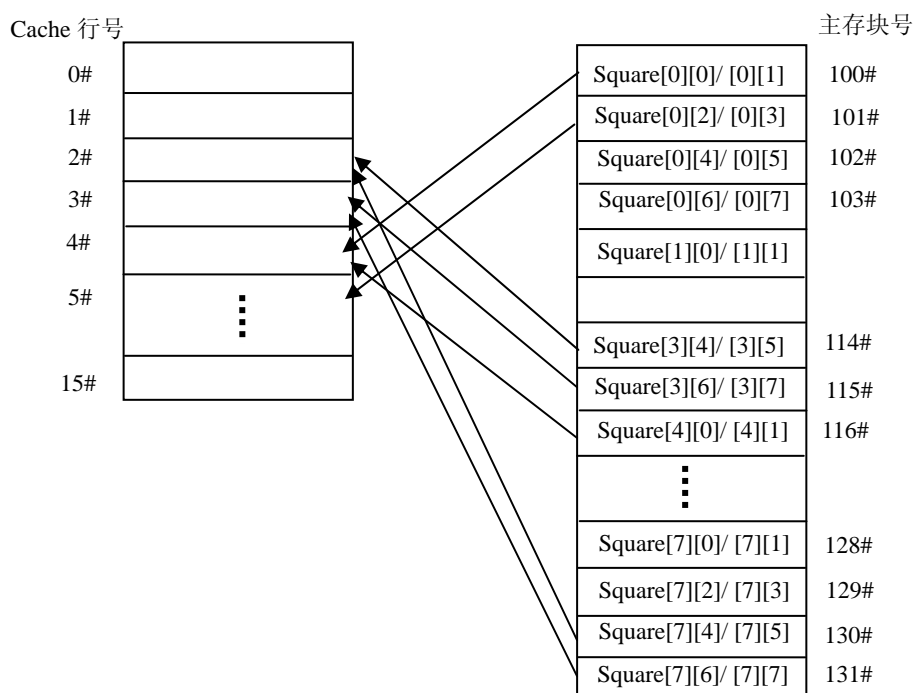
程序段 C 虽然访问顺序和存放顺序一致，但同一个主存块有两次访问，所以空间局部性不好；

(3) 仅考虑写操作的情况：

数据 Cache 的行数为： $512B/32B=16$ ；

数组首地址为 0000 0C80H，因为 0000 0C80H 正好是主存第 1100100B（100）块的起始地址。所以数组从主存第 100 块开始存放，一个数组元素占 $4 \times 4B=16B$ ，所以每 2 个数组元素占用一个主存块。8x8 的数组共占用 32 个主存块。

主存中的数组元素与 Cache 行的映射关系图如下：



(4) 从上图可以看出，Cache 的行数正好是数组大小的一半。

对于程序段 A：

每两个数组元素（共涉及 8 次写操作）装入到一个 Cache 行中，总是第一次访问时未命中，后面 7 次都命中，所以，总的写操作次数为 $64 \times 4 = 256$ 次，写不命中次数为 $256 \times 1/8 = 32$ 次，因而总缺失率为 12.5%。

对于程序段 B：

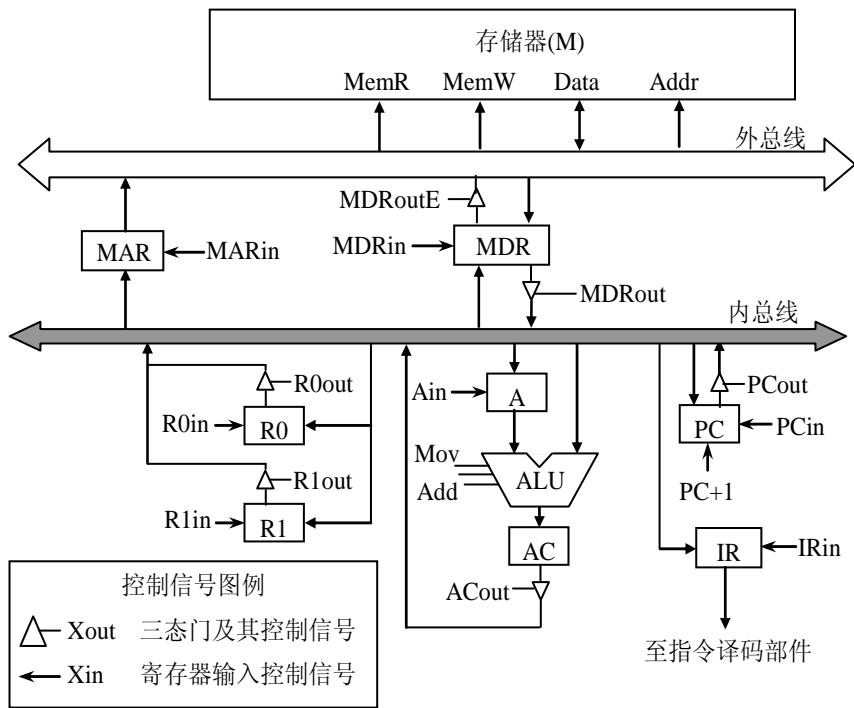
每两个数组元素（共涉及 8 次写操作）装入到一个 Cache 行中，但总是只有一个数组元素（涉及 4 次写操作）在被淘汰之前被访问，并且总是第一次不命中，后面 3 次命中。即写不命中次数为 $256 \times 1/4 = 64$ 次，因而总缺失率为 25%。

对于程序段 C：

第一个循环共 64 次访问，每次装入两个数组元素，第一次不命中，第二次命中；第二个循环，共访问 64×3 次，每两个数组元素（共涉及 6 次写操作）装入到一个 Cache 行中，并且总是第

一次不命中，后面 5 次命中。所以。总的写不命中次数为 $32 + (3 \times 64) \times 1/6 = 64$ 次，因而总缺失率为 25%。

2. (10分) 某计算机字长16位，采用16位定长指令字，按字编址，部分数据通路结构如下图所示，图中所有控制信号为1时表示有效、为0时表示无效，例如，控制信号MDRin为1表示允许数据从内总线打入MDR，MAR的输出一直处于使能状态，外总线的数据直接被送到MDR，而无需控制信号，ALU的操作控制端有“Add”、“Sub”、“And”...、“Mov”等多种操作控制信号。指令“**And R0, (R1)**”的功能为：**Reg(R0) and Mem(Reg(R1)) → Reg(R0)**。即：将R0中的数据与R1的内容所指主存单元的数据相与，结果送入寄存器R0中。



要求：完成下表，写出该指令周期内每个节拍（时钟周期）的功能和有效控制信号（栏目不够可自行添加）。

（注：为简化功能描述，用(R)表示寄存器 R 中的内容；M(R)表示寄存器 R 的内容所指的主存单元的内容；例如， $MDR \leftarrow M(MAR)$ 表示将 MAR 所指主存单元内容送到 MDR 寄存器中）

参考答案：

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MAR)$ $PC \leftarrow (PC) + 1$	MemR, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin

C4	指令译码	无
C5	$A \leftarrow (R0)$	R0out, Ain
C6	$MAR \leftarrow (R1)$	R1out, MARin
C7	$MDR \leftarrow M(MAR)$	MemR
C8	$AC \leftarrow (A) \text{and} (MDR)$	MDRout, and
C9	$R0 \leftarrow (AC)$	ACout, R0in

(也可先将 R1 所指主存单元内容放在 A 中, 然后 R0 送内总线,)

3. (6 分) 假定某计算机中主存采用 8 体交叉存储方式, 每个体一次能读出 128 位, 每个 Cache 行中主存块大小为 128B。CPU 和主存之间采用同步总线, 总线宽度为 128 位, 一次 Cache 行读 (即从主存读一个主存块) 的过程如下:

- 花一个总线时钟周期发送首地址到主存;
- 主存控制器接受到地址后, 启动第一个模块准备数据, 并每隔一个总线时钟启动下一个模块准备数据。每个存储模块花 10 个总线时钟准备好 128 位数据, 总线上传输一个 128 位数据花一个总线时钟;

请问: 该计算机的 Cache 缺失损失至少为多少总线时钟周期?

参考答案:

由题意知, Cache 缺失时, 需从主存一次读 128 字节, 正好等于 8 个体一次读出的数据量 ($8 \times 128 \text{ 位} = 8 \times 16 \text{B} = 128 \text{B}$)。也即: 具有相同体内地址的 8 个 128 位数据正好是一个主存块, 映射到同一个 Cache 行中。所以, Cache 缺失损失至少是一次 Cache 行读的时间。即:

$1 + 1 \times 10 + 8 \times 1 = 19$ 个总线时钟周期。

4. (12 分) 假定某计算机系统中处理器的时钟频率为 2GHz, 所配硬盘驱动器中共有 4 个磁头, 每个盘面上有 5000 个磁道, 每个磁道有 1000 个扇区, 每个扇区的数据容量都是 512B, 磁盘的转速为 6000RPM, 平均寻道时间为 5ms。假定在一个相当长的时间内磁盘一直在进行 I/O 操作, 采用 DMA 方式进行, DMA 传送的平均长度为 8 个扇区, 每次 DMA 传送处理器为初始化和后处理总共花 1000 个时钟周期。请问:

- 该磁盘驱动器的容量大约为多少? (单位用 GB)
- 该磁盘驱动器的平均存取时间为多少? (不考虑数据传输时间, 单位用 ms)
- 处理器用于硬盘 I/O 的时间占整个处理器时间的百分比是多少?
- 如果有人提出采用中断方式进行磁盘 I/O, 磁盘每准备好 64 位数据申请一次中断, 每次磁盘 I/O 中断处理器所花时间约为 500 个时钟。你认为这种做法行的通吗? 通过计算证明你的结论。

参考答案:

(1) 容量为: $4 \times 5000 \times 1000 \times 512 \text{B} = 10240 \times 10^6 \text{B} \approx 10 \text{GB}$

(2) 平均存取时间为: $5 \text{ms} + (60 \times 1000 / 6000 \times 2) = 10 \text{ms}$

(3) DMA 方式:

数据传输率为: $1000 \times 512 \text{B} \times 6000 / 60 = 512 \times 10^5 \text{Bps} \approx 51.2 \text{MBps}$

每次 DMA 传送将花 $8 \times 512 \text{B} / (512 \times 10^5 \text{Bps}) = 8 \times 10^{-5}$ 秒

一秒钟有 $1 / (8 \times 10^{-5}) = 12500$ 次 DMA 传送;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花 $1000 \times 12500 = 1.25 \times 10^7$ 个时钟周期来为硬盘 I/O 操作服务; 在硬盘 I/O 操作上处理器花费的时间占:

$$1.25 \times 10^7 / 2 \times 10^9 = 0.625\%$$

(4) 中断方式:

磁盘准备好 64 位数据所花时间为: $8 \text{B} / (512 \times 10^5 \text{Bps}) = 2^{-6} \times 10^{-5}$ 秒

所以, 每隔 $2^{-6} \times 10^{-5}$ 秒就要进行一次中断, 一秒钟内有 $1 / (2^{-6} \times 10^{-5}) = 64 \times 10^5$ 次中断;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花 $500 \times 64 \times 10^5 = 3.2 \times 10^9$ 个时钟周期来为硬盘 I/O 操作服务; 而处理器的主频为 2GHz, 也就是说, 处理器整个都为磁盘 I/O 中断服务都来不及处理, 所以, 用中断方式处理磁盘 I/O 是行不通的。

得分	
----	--

六、简答题 (共 10 分)

- 假定变量 x、y 和 z 分别表示一个三维空间中某个点 P 的三个坐标分量, 试比较这些变量采用 float 数据类型和 double 数据类型的优缺点。(4 分)

参考答案:

因为 float 型数据采用 32 位单精度浮点数表示, 而 double 型数据采用 64 位双精度浮点数表示, 所以, 若采用 float 型表示坐标分量值, 则坐标数据占用存储空间比 double 型少, 运算速度比 double 型快, 但有效位数 (即数据精度) 和表示范围要比 double 型小。

- Cache 对程序员来说是透明的吗? 为什么? (3 分)

参考答案:

对程序员来说, Cache 是透明的。

因为程序员在编写程序时, 无需考虑程序是否在带 Cache 的机器上运行, 指令执行过程中访问 Cache 的操作完全由硬件完成, 程序员感觉不到 Cache 的存在。

- 无条件转移指令和转子 (调用) 指令的相同点和不同点各是什么? 返回指令是否需要在指令中明显地给出返回地址? (3 分)

参考答案:

无条件转移指令（跳转指令）和转子指令（调用指令）都会实现指令的跳转，但是，转子指令在执行完子程序后还会返回到转子指令的下条指令继续执行，而无条件转移指令执行完跳转后不会返回。所以，转子指令执行过程中要保存返回地址到栈中或保存到某个特殊寄存器；

返回指令根据栈顶或特殊寄存器中的返回地址返回，所以不需在指令中明显给出返回地址。