

## 考试科目名称 计算机组织与系统结构 (A-1 卷)

2007—2008 学年第 2 学期 教师 袁春风/窦万春 考试方式: 闭卷  
 系(专业) 计算机科学与技术 年级 2006 班级           
 学号                      姓名                      成绩                     

题号	一	二	三	四	五	六
分数						

得分	
----	--

### 一、填空题(本大题共 15 小题, 每空 1 分, 共 20 分)

1. 二进制指令代码的符号化表示被称为 汇编 语言源程序。必须通过相应的翻译程序把它转换为机器语言程序才能被计算机执行。
2. 通常用一个寄存器来存放当前执行指令的地址, MIPS 结构中将该寄存器简写为 PC。由于历史的原因, PC 寄存器通常被称为 程序计数器(或 Program Counter)。
3. 在 MIPS 中, 分支指令的转移目标地址是由分支指令的下条指令地址加上一个位移量决定的。通常把这种方式称为 (PC)相对 寻址方式。
4. 假定寄存器 \$s1 中存放二进制信息为 0000 0000 0000 0000 0000 0000 1101 1000, 则在屏幕上用 16 进制显示为 0x 0000 00D8。若该信息是一个无符号整数, 则表示的值为 216。
5. 过程调用时, 涉及到调用过程和被调用过程之间的数据交换和程序切换, 所以要有相应的存储空间来存放调用参数、返回数据和返回地址等信息。这种用于过程调用的存储空间被称为 堆栈 Stack (或栈帧 Stack Frame)。
6. 衡量 CPU 性能好坏的一个重要指标是 CPU 执行时间。它与程序包含的指令条数和每条指令的平均时钟数以及时钟周期有关。通常用英文缩写 CPI 来表示每条指令的平均时钟数。有时也用基准程序来测试处理器的性能, “基准程序”对应的英文单词是 Benchmark。
7. 进行基本加/减等算术运算和与/或/非等逻辑运算的部件被称为算术逻辑部件。用英文缩写表示为 ALU。
8. 由于 Cache 数据是主存数据的副本, 所以 Cache 和主存之间存在一致性问题, 可以采用两种不同的写策略来解决。这两种写策略是 Write Back(或写回法/一次性写) 和 Write Through(或写通过法)。
9. 在流水线中, 如果多条指令同时需要用到同一个功能部件, 就发生了流水线冒险, 会引起流水线的阻塞。通常把这种流水线冒险称为 结构(或资源冲突) 冒险。





④ 预测错误时必须把已取到流水线中的错取指令从流水线中排出

以上叙述中，正确的有（ D ）。

- A. 仅①和②和④      B. 仅①和②和③      C. 仅①和③和④      D. 全部

14. 下面是一段指令序列：

```
lui    $t1, 20
lw     $t3, 15($t2)
addu   $t1, $t1, $t2
```

以上指令序列中，第三条指令发生数据相关。假定采用“取指、译码/取数、执行、访存、写回”这种五段流水线方式。假定不采用“转发”，那么，为了使这段程序的执行不被阻塞，需要在第三条指令前加入几条 `nop` 指令？（ B ）

- A. 1      B. 2      C. 3      D. 4

15. 对于与上题（14 题）同样的情况，假定采用“转发”，那么，为了使这段程序的执行不被阻塞，需要在第三条指令前加入几条 `nop` 指令？（ A ）

- A. 0      B. 1      C. 2      D. 3

16. 以下各类存储器中，哪种是易失性存储器？（ B ）

- A. Flash      B. Cache      C. RAID      D. CD-ROM

17. 假定主存地址位数为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，每个主存块的大小为 4 个字，每字 32 位，Cache 的数据区大小为 512KB，则标志应该有几位？（ B ）

- A. 12      B. 13      C. 14      D. 15

18. 假定 Cache 采用 2-way 组相联映射方式，共有 16 个槽（第 0 槽到第 15 槽），每个主存块为 32 字节，主存按字节编址。请问主存第 1022 号单元所在的主存块可以放到以下哪个槽中？（ D ）

- A. 1      B. 6      C. 9      D. 15

19. 假定有一个计算机系统，其 DRAM 存储器的访问时间为：发送地址 1 个时钟，每次访问的初始化需要 16 个时钟，每发送 1 个数据字需要 1 个时钟。若主存块为 4 个字，DRAM 的存取宽度为 1 个字。问该系统中 Cache 的一次失靶损失至少为多少时钟？（ D ）

- A. 18      B. 21      C. 34      D. 69

20. 以下（ A ）情况出现时，CPU 会自动查询有无中断请求，进而可能进入中断响应周期。

- A. 一条指令执行结束      B. 一次 I/O 操作结束  
C. 机器内部发生故障      D. 一次 DMA 操作结束

得分	
----	--

三、判断下列叙述是否正确。（20 分）

- 随着流水段个数的增加，流水段之间缓冲开销的比例增大。（√）
- 每个流水段之间的流水段寄存器的位数一定相同。（X）
- 利用旁路技术可以解决所有数据冒险。（X）
- 超标量技术是指采用更多流水段个数的流水线技术。（X）

5. 动态流水线中一定有多个不同的指令执行单元。(√)
6. 在计算机中引入 Cache 后, CPU 所能访问的地址空间变大了。(X)
7. 在引入了 Cache 的系统中, store 指令的处理比 load 指令的处理更复杂。(√)
8. CPU 在执行一条 load/store 指令过程中至少要访问主存一次。(X)
9. ROM 和 RAM 共同组成主存, 它们的访问方式一样, 都是随机存取存储器。(√)
10. 不可能出现“Cache 命中但缺页”和“TLB 命中但缺页”的情况。(√)
11. “Cache 缺失”和“页面缺失”都是由软件来处理的。(X)
12. RAID3 采用小条区方式, 因而适用于视频点播之类的吞吐量高的多媒体应用系统。(√)
13. 同步总线采用应答(握手)信号控制信息的传送。(X)
14. 一个 I/O 控制器中只能有一个 I/O 地址。(X)
15. 程序查询 I/O 方式和程序中断 I/O 方式下, 外设数据直接和 CPU 中寄存器交换。(√)
16. 程序中断 I/O 方式下, 外设只要申请中断就可以马上得到响应。(X)
17. 磁盘的柱面号就是磁道号。(√)
18. I/O 控制器主机侧传输的数据宽度与设备侧传输的数据宽度总是一样。(X)
19. 在 I/O 独立编址方式下, CPU 可以通过执行 I/O 指令来访问 DMA 控制器。(√)
20. DMA 方式用于键盘和鼠标器的数据输入。(X)

得分

## 四、分析设计题(共 30 分)

1. 以下是用 C 语言写的一个传统的 While 语句: `while (save[i] == k) i += 1;`

假设 i 和 k 对应于寄存器 \$s3 和 \$s5, 数组 save 的基址存放在 \$s6 中, 对应的 MIPS 汇编代码为:

```

Loop: sll    $t1, $s3, 2    # Temp reg $t1 = 4 * i
      add    $t1, $t1, $s6  # $t1 = address of save[i]
      lw     $t0, 0($t1)    # Temp reg $t0 = save[i]
      bne    $t0, $s5, Exit # go to Exit if save[i] ≠ k
      addi   $s3, $s3, 1    # i = i + 1
      j      Loop          # go to Loop
Exit:

```

假定 loop 的开始位置在内存 80000 处, 则上述循环的 MIPS 机器码为:

80000	0	0	19	9	4	0
80004	0	9	22	9	0	32
80008	35	9	8	0		
80012	5	8	21	2		
80016	8	19	19	1		
80020	2	20000				
80024	...					

根据上述给出的叙述, 回答下列问题。

- (1) 上述给出的 MIPS 机器码中有一处错误, 你能找出来吗? (1 分)

答: 第一条指令中的倒数第二个字段的值应该是 2, 而不是 4, 表示左移的位数。

- (2) MIPS 内存空间的编址单位是多少? (1 分)

答: 字节。从上图可看出, 每条指令 32 位, 占 4 个地址, 所以一个地址中有 8 位。

(3) 解释为什么指令“sll \$t1, \$s3, 2”能实现  $4 \times i$  的功能。(1 分)

答：因为这是左移指令，左移 2 位，相当于乘  $2^2=4$ 。

(4) 该循环中哪些是 R-型指令？哪些是 I-型指令？(1 分)

答：从上图可看出，第 1-2 条为 R-型，第 3-5 条为 I-型。

(5) \$t0 和 \$s6 的编号各为多少？(1 分)

答：从第 3 和 4 条指令，可看出 \$t0 的编号为 8，第 2 条指令看出 \$s6 的编号为 22。

(6) Exit 的值是多少？要求说明其含义和计算过程。(2 分)

答：Exit 的值是 80024，其含义是循环结束时跳出循环后执行的首条指令的地址，由当前条件转移指令（分支指令）的地址 80012，加上 4 得到下条指令的地址，然后再加上相对位移量  $2 \times 4$  得到。  
 $80012+4+2 \times 4=80024$ 。（如果答 Exit 为 2 也算对，此时其含义就是转移到的目标指令相对于当前条件转移指令的指令条数，所以计算时，需要将指令条数转换为地址位移量，所以要乘以 4。）

(7) 指令“j 20000”的操作码是什么（用二进位表示）？(1 分)

答：其操作码为 “000010”。

(8) MIPS 中分支指令和跳转指令的跳转范围分别是什么？(2 分)

答：因为分支指令（条件转移指令）的相对位移量的范围为： $-2^{15}$  到  $+(2^{15}-1)$ ，但这是相对于分支指令的下条指令而言的，所以，相对于当前分支指令而言，转移范围为： $-(2^{15}-1)$  到  $+2^{15}$  条指令。  
即：往前跳，最多跳到第 32767 条指令（相当于  $32767 \times 4=131068$  个单元），往后跳，最多跳到第 32768 条指令（相当于  $32768 \times 4=131072$  个单元）。

因为无条件跳转指令的目标地址范围为：0 到  $2^{26}-1$ （相对于下条指令），所以，相对于本条指令而言，其转移范围为：1 到  $2^{26}$  条指令。即：相对于当前跳指令而言，最近就跳到下条指令，最远跳到后面的第  $2^{26}$  条指令。

(9) 数组 save 的每个元素占几个字节？(1 分)

答：因为每次循环取数，其下标地址都要乘以 4，所以是 4 个字节。

2. 假定单周期、多周期和流水线处理器分别如图 1、图 2 和图 3 所示，各主要功能单元的操作时间为：存储单元 200ps；ALU 和加法器：100ps；寄存器堆（读或写）：50ps。

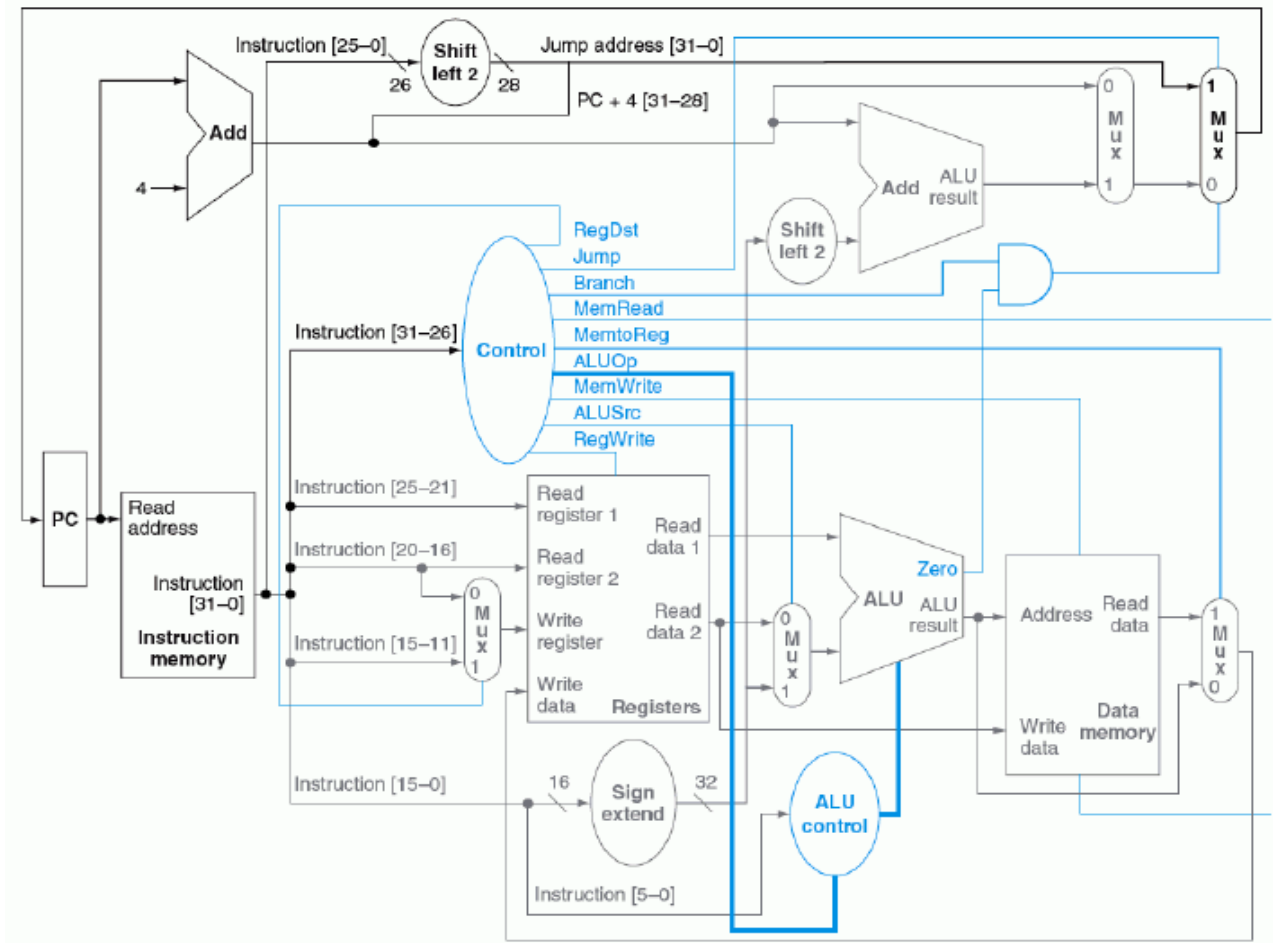


图 1 单周期数据通路和控制器

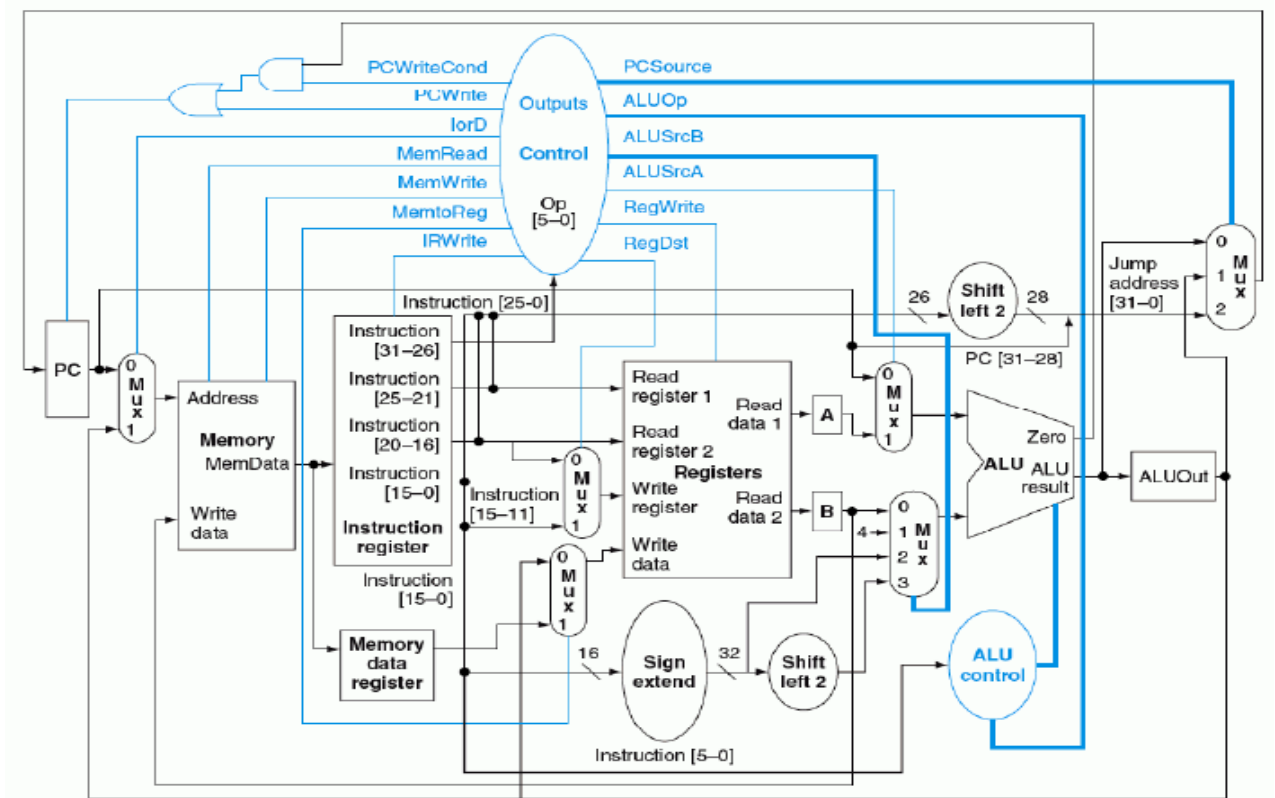


图 2 多周期数据通路和控制器

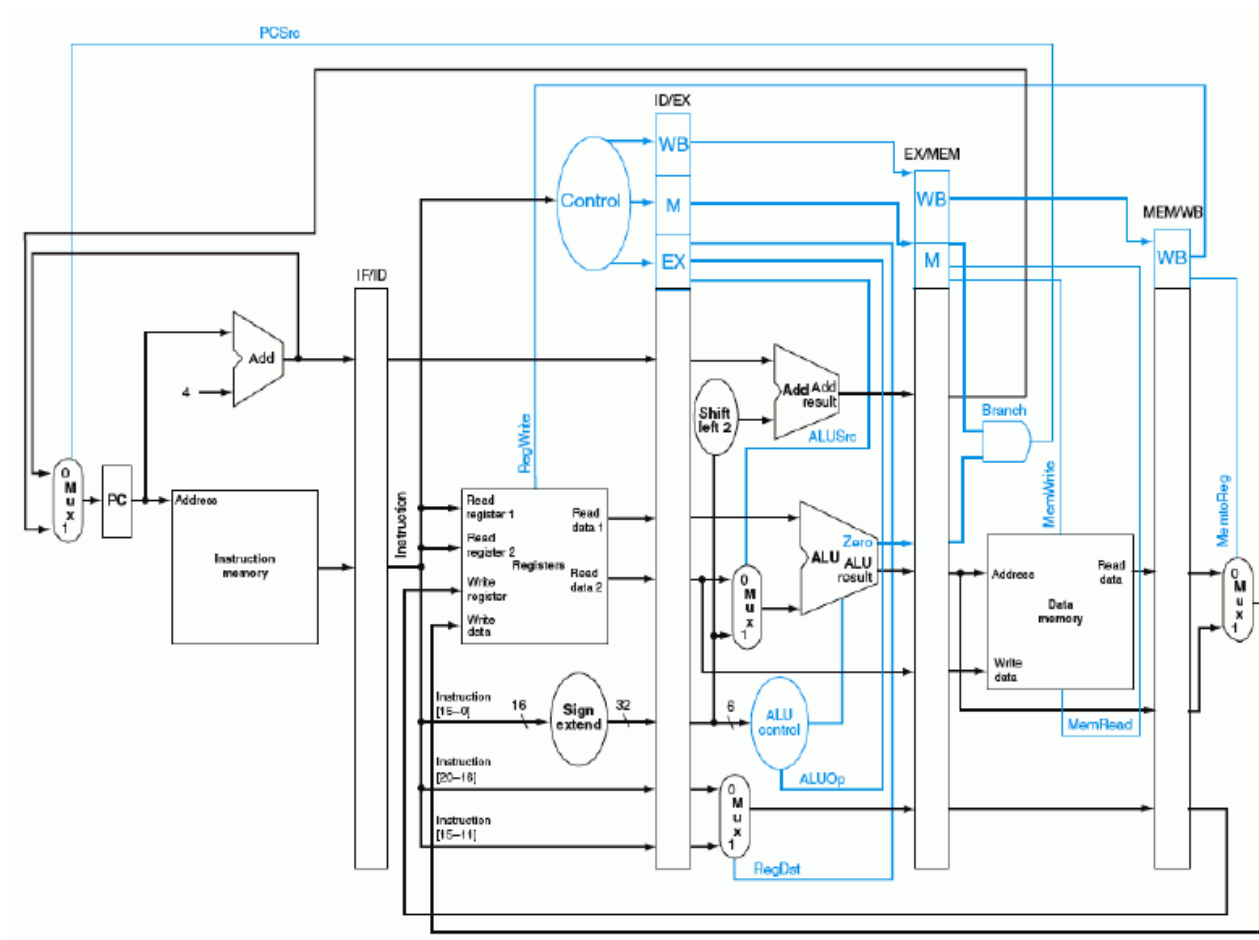


图 3 流水线数据通路和控制器

在不考虑多路选择器、控制单元、PC 访问、扩展器和线路等延迟的情况下，对于上述题 1 中给出的循环程序（假定循环为 8 次），回答下列问题。

- (1) 单周期、多周期和流水线处理器的最小时钟周期各为多少？（3 分）

答：单周期为： $200+50+100+200+50=600\text{ps}$

多周期和流水线都为：200ps

- (2) 在单周期处理器和多周期处理器上执行 8 次循环所花的时间各是多少？（2 分）

答：单周期为： $7*6*600\text{ps}+4*600=27600\text{ps}$

多周期为： $7*(3*4+5+2*3)*200\text{ps}+(2*4+5+3)*200\text{ps}=35400\text{ps}$

- (3) 在简化流水线图（图 4）上画线，以表示循环体中指令的数据相关性。（2 分）



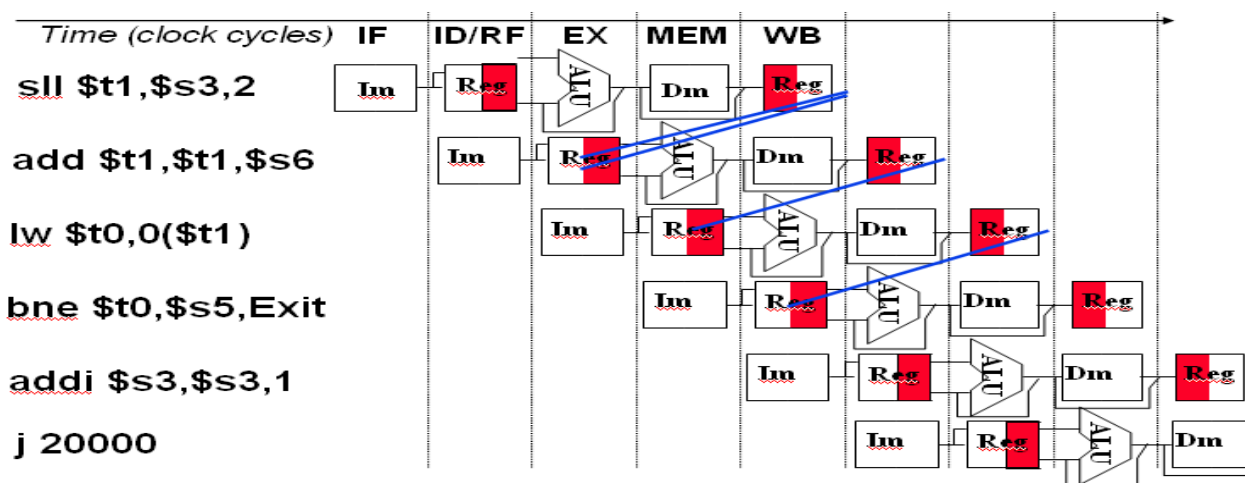
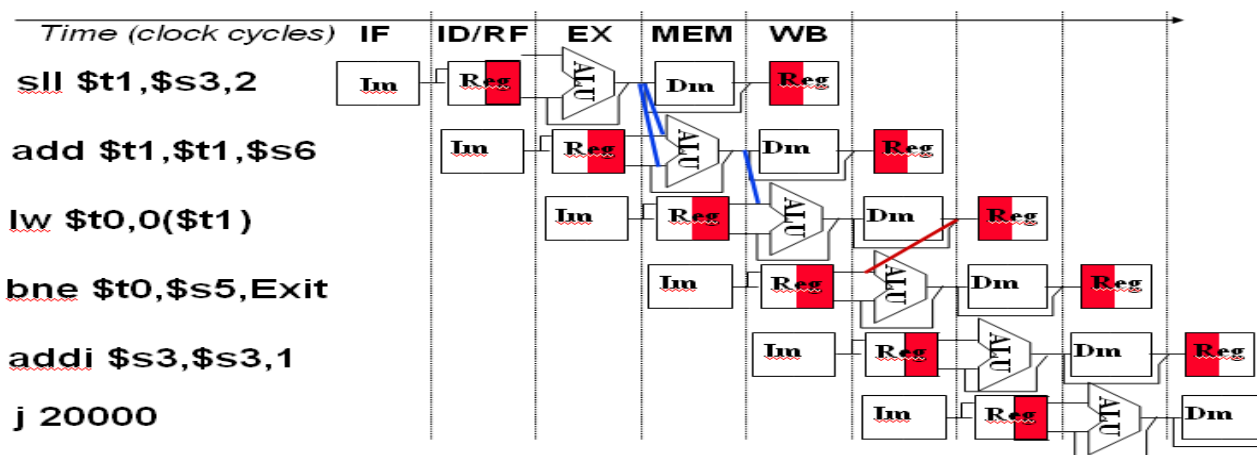


图 4 简化流水线图

(4) 假定采用“数据转发”和“静态预测”(每次预测为不转移, 条件检测在 ID/RF 阶段) 技术, 则在流水线处理器上执行 8 次循环所花的时间为多少? (要求说明原因) (4 分)

参考答案: 上图中的数据冒险, 除了 **load-use** 数据冒险 (红线表示) 外, 其他都可以通过转发实现; 对于 `bne` 控制冒险, 只有最后 1 次预测错误, 所以前 7 次没有阻塞; 对于 `J` 指令, 每次都有一个阻塞。因此, 前 7 次循环有 2 次阻塞, 总共要有  $7 \times (6+2) = 56$  个时钟周期, 最后 1 次循环为 6 个时钟。总共时间为:  $(56+6) \times 200\text{ps} = 12400\text{ps}$



3. 某计算机系统中, 假设处理器按 500MHz 的速度执行指令, 硬盘以 64 位为单位进行传送, 速率为 4MB/Sec, 要求没有任何数据传输被错过。(1) 若用程序中断 I/O 方式, 每次传送的开销 (包括用于中断响应和处理的时间) 是 500 个时钟周期。那么处理器用在硬盘 I/O 操作上所花的时间百分比为多少? (2) 若用 DMA 方式, 处理器花 500 个时钟进行 DMA 传送的初始化设置, 并且在 DMA 完成后的中断处理需要 500 个时钟。如果从硬盘发出的平均传输量为 4KB (即每次 DMA 传送 4KB 的数据块), 那么处理器用在硬盘 I/O 操作上的时间百分比又为多少? (8 分)

参考答案: (1) 中断传送: 硬盘要求每次中断以 64 位进行传送, 为了保证没有任何数据传输被错过, 传送的速率应达到每秒  $4\text{MB}/8\text{B} = 500\text{K}$  次中断的速度;

每秒钟用于中断的周期数为  $500K \times 500 = 250 \times 10^6$ ;

在一次传输中所消耗的处理器时间的百分比为:  $250 \times 10^6 / (500 \times 10^6) = 50\%$ ;

(2) DMA 传送: 每个 DMA 传送将花  $4KB / (4MB/Sec) = 1 \times 10^{-3}$  秒;

一秒钟有  $1 / (1 \times 10^{-3}) = 1000$  次 DMA 传送;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花  $(500 + 500) \times 1000 = 10^6$  个时钟周期来为硬盘 I/O 操作服务; 在硬盘 I/O 操作上处理器花费的时间占:

$$10^6 / 500 \times 10^6 = 1.5 \times 10^{-3} = 0.2\%$$

得分	
----	--

### 五、简答题 (共 10 分)

1. C 语言中分别与 IEEE754 单精度和双精度表示对应的数据类型是什么? (2 分)

答: 分别为 float 和 double 型。

2. 简述虚拟地址到物理地址的转换过程。(3 分)

答: 虚拟地址中分虚页号和页内地址, 首先根据虚页号找到对应的页表项, 若其中的有效位为 1, 则说明对应页面在主存页框中, 此时, 取出页框号, 然后和虚拟地址中的页内地址拼接起来构成物理地址; 若有效位为 0, 则说明“缺页”, 此时, 调出“缺页”异常处理程序进行处理。

3. 为什么高速缓存 Cache 能提高 CPU 访问主存的速度? (3 分)

答: Cache 是高速小容量的存储器, 介于 CPU 和主存之间。在程序执行过程中, 总是把当前访问的内存单元所在的一个局部主存块调到 Cache 中。由于程序访问的局部性特点, 在不久的将来会经常访问这个局部主存块, 因此, 就不需要再到主存去访问, 而只要访问高速的 Cache 即可, 因而, 能提高访问速度。

4. 简述控制器的功能。(2 分)

答: 控制器通过对指令进行译码, 得到每条指令执行所需要的控制信号来控制指令的执行。