

考试科目名称 计算机组织与结构 (A 卷)

2006——2007 学年第 2 学期 教师 袁春风/窦万春 考试方式：闭卷
系（专业） 计算机科学与技术 年级 2005 班级 _____
学号 _____ 姓名 _____ 成绩 _____

题号	一	二	三	四	五	六
分数						

得分

一、填空题（本大题共 11 小题，每空 1 分，共 20 分）

- 冯诺依曼结构计算机由 存储器、运算器、控制器 和输入/输出部件组成。它采用 程序存储 工作方式，即：计算机把事先编好的程序装入内存，然后按照指令的顺序自动地取出执行，不需要人的干预。
- 几十年来，计算机发展遵循一个重要定律，该定律的主要含义是：每 18 个月，集成度将翻一番，速度将提高一倍，而其价格将降低一半。它就是 摩尔 定律。
- 假设 $x = -258$ ，16 位寄存器 R1 中存放的是 x 的补码，则 R1 中的内容用十六进制表示为 FEFEH，算术左移一位后的内容为 FDFC H，算术右移一位后的内容为 FF7F H，符号扩展为 32 位后的内容为 FFFF FEFE H。
- 为节省引脚数，DRAM 芯片大都采用地址线复用技术。假定一个 DRAM 芯片的地址引脚线为 8 根，则该芯片的存储阵列中有 65536 (或 64K 或 2^{16}) 个位单元。
- 可以采用两种不同的写策略来解决 Cache 的一致性问题的，即 写直达法 (Write Through) 和 写回法 (Write Back)。
- 栈(Stack)是内存中一块特殊的存储区，采用 后进先出 的方式进行存取。主要用来保存调用程序的返回地址或被中断程序的断点和现场等信息，从而可以实现嵌套调用。
- 一台计算机的实际主存容量只有 128MB，但在该计算机中运行的很多程序都大于 128MB，这是因为该机采用了 虚拟存储（器） 技术。
- 信息从 CPU 被写入 I/O 端口的操作称为 I/O 写 操作，从存储器中取出信息到 CPU 的操作称为 存储器读 操作。

9、若指令地址码给出一个偏移量，其有效地址由 PC 的值和这个偏移量相加，则该指令的寻址方式为相对寻址，通常用在条件转移指令（即：分支指令）中。

10、西文字符一般采用ASCII码表示，这种编码用7位二进制数表示。

11、通常把 I/O 接口中各种数据缓冲寄存器、状态/控制寄存器称为 IO 端口 (I/O PORT)。

对它们的编址有两种方式：统一编址（或存储器映射）和独立编址。

得分	
----	--

二、选择题（本大题共 20 小题，计 20 分。）

- 以下给出的软件中，哪个不是语言翻译程序？
 - 编译程序
 - 解释程序
 - 基准程序
 - 汇编程序
- 引入八进制和十六进制的目的是：
 - 节约元件
 - 实现方便
 - 可以表示更大范围的数
 - 用于等价表示二进制，便于阅读和书写
- 下列数中最小的数是：D
 - $(1100101)_2$
 - $(135)_8$
 - $(1000\ 0010)_{BCD}$
 - $(71)_{16}$
- 假定一个 8 位寄存器中的内容是 0100 0010B，则该寄存器存放的数可能是：
 - ASCII 码字符“A”
 - ASCII 码字符“a”
 - 整数“66”
 - 无符号数“42”z
- 假定采用 CRC 检验的一个数据块信息为：1001 0101 1001B，若生成多项式为： $G(x) = x^3 + 1$ ，则检验码为：
 - 0011
 - 011
 - 010
 - 0010
- 下列字符码中带有奇校验的信息是：
 - 11001000
 - 10010011
 - 10010011
 - 01010110
- 以下各类存储器中，哪个是易失性存储器？
 - ROM
 - Cache
 - RAID
 - CD-ROM
- 若一个 Cache 有 8 个槽（第 0 槽到第 7 槽），假定采用直接映射，则主存第 58 块应该放到 Cache 的哪个槽中？
 - 第 6 槽
 - 第 2 槽
 - 第 0 和 1 槽
 - 任意一个槽

9. 假定一个计算机系统的虚存大小为 4GB, 按字节编址, 则逻辑地址空间的范围为:
- A. 0~FFFF FFFF H B. 0~FFF FFFF H
C. 0~3FFF FFFF H D. 0~3FF FFFF H
10. 假定一个磁盘的转速为 7200RPM, 则该磁盘的平均旋转等待时间是多少?
- A. 4.2ms B. 8.3ms C. 4.2ns D. 8.3ns
11. 以下哪个特性有助于高速缓存 Cache 有效发挥其预期的作用?
- A. 不含有过多 I/O 操作 B. 程序大小不超过实际内存容量
C. 较好的访问局部性 D. 指令间相关不多
12. DRAM 的刷新是以什么为单位进行的?
- A. 存储单元 B. 行 C. 块 D. 字节
13. 对高级语言源程序中定义的数组元素 (即: 下标变量) 进行访问时, 指令中一般采用什么寻址方式进行?
- A. 相对寻址 B. 直接寻址 C. 基址寻址 D. 变址寻址
14. 假定一条指令规定其一个操作数的寻址方式是寄存器间接寻址, 则 CPU 应该到哪里去取该操作数?
- A. 主存单元 B. 堆栈 C. 寄存器 D. 累加器
15. 以下哪个特点不是 RISC 所具有的?
- A. 只有 Load/Store 指令才能访存, 运算指令不能访存
B. 指令格式规整, 指令条数少
C. 采用微程序设计控制器
D. 通用寄存器数量多
16. 以下给出的执行顺序中, 哪一个是正确的指令执行顺序?
- A. 取指令并 PC 增量→指令译码→取操作数→计算→写结果→中断查询
B. 取指令并 PC 增量→中断查询→指令译码→取操作数→计算→写结果
C. 取指令并 PC 增量→指令译码→取操作数→中断查询→计算→写结果
D. 取指令并 PC 增量→取操作数→计算→写结果→指令译码→中断查询
17. 一个同步总线的时钟频率为 66MHz, 总线宽度为 32 位, 则该总线的最大数据传输率为多少?
- A. 132MB/s B. 264MB/s C. 528MB/s D. 2.112GB/s
18. 总线带宽与许多因素有关。在以下给出的因素中, 哪些与总线带宽无关?
- A. 总线时钟频率 B. 总线宽度

$$x=(245)_{10}=(+000\ 0000\ 1111\ 0101)_2 \quad [x]_{\text{补}}=0000\ 0000\ 1111\ 0101$$

$$y=(-78)_{10}=(-000\ 0000\ 0100\ 1110)_2 \quad [y]_{\text{补}}=1111\ 1111\ 1011\ 0010$$

$$[-y]_{\text{补}}=0000\ 0000\ 0100\ 1110$$

$$[x+y]_{\text{补}}=[x]_{\text{补}}+[y]_{\text{补}}=0000\ 0000\ 1111\ 0101 + 1111\ 1111\ 1011\ 0010 = 0000\ 0000\ 1010\ 0111$$

两个异号数相加，肯定不会溢出。

$$\text{所以: } x+y = (+10100111)_2 = 167 = 245 + (-78)$$

$$[x-y]_{\text{补}}=[x]_{\text{补}}+[y]_{\text{补}}=0000\ 0000\ 1111\ 0101 + 0000\ 0000\ 0100\ 1110 = 0000\ 0001\ 0100\ 0011$$

两个同号数相加，结果的符号同加数符号，所以没有溢出。

$$\text{所以: } x+y = (+101000011)_2 = 323 = 245 - (-78)$$

2. 以 IEEE754 短浮点数格式表示下列十进制数。(要求结果用十六进制表示) (4 分)

a) -34.625

b) 40.375

参考答案:

$$-34.625 = -100010.101_2 = -1.00010101_2 \times 2^5 = (-1)^s \times 1.f \times 2^{e-127}$$

$$s=1, f=(0.00010101)_2, e=(127+5)_{10}=(132)_{10}=(1000\ 0100)_2$$

IEEE754 单精度浮点数表示为: 1 1000 0100 0001 0101...0000 000

按 4 位一组进行组合: 1100 0010 0000 1010 1000 0000

转换成十六进制表示为: C20A8000H

$$40.375 = 101000.011_2 = 1.01000011_2 \times 2^5 = (-1)^s \times 1.f \times 2^{e-127}$$

$$s=0, f=(0.01000011)_2, e=(127+5)_{10}=(132)_{10}=(1000\ 0100)_2$$

IEEE754 单精度浮点数表示为: 0 1000 0100 0100 0011...0000 000

按 4 位一组进行组合: 0100 0010 0010 0001 1000 0000

转换成十六进制表示为: 42218000H

得分	
----	--

五、分析设计题 (共 20 分)

1. 假定变量 i 是一个 32 位的 int 型整数, f 和 d 分别为 float 型 (32 位) 和 double 型 (64 位) 实数。x、y、z 是 float 型 (32 位) 或 double 型 (32 位) 实数。分析下列各布尔表达式, 说明结果是否在任何情况下都是“true”? (4 分)

1) $i == (\text{int})((\text{double}) i)$

2) $f == (\text{float})((\text{int}) f)$

3) $f == (\text{float})((\text{double}) f)$

4) $d == (\text{double})((\text{float}) d)$

参考答案:

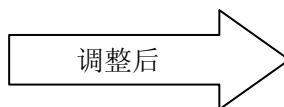
- 1) 是。因为 **double** 型比 **int** 型精度高，所以 **int** 型变量转换为 **double** 时不会有精度损失。
- 2) 不是。因为 **float** 型有小数部分，而 **int** 型没有小数部分，所以把 **float** 型变量转换为 **int** 型时，可能会丢失小数部分。
- 3) 是。因为 **double** 型比 **float** 型精度高，所以 **float** 型变量转换为 **double** 时不会有精度损失。
- 4) 不是。因为 **float** 型比 **double** 型有效位数少，所以 **double** 型变量转换为 **float** 时会有精度损失。

2. 下面是某个程序中的一段代码。

```

Load  1#, A
Load  2#, B
Add    3#, 1#, 2#
Store  C, 3#
Load  4#, E
Load  5#, F
Sub    6#, 4#, 5#
Store  D, 6#
Add    7#, 3#, 6#
Store  H, 7#

```



这段代码实现的是以下三条语句的功能:

```

C=A+B
D=E-F
H=C+D

```

为了提高指令流水线的执行效率，应尽量减少指令间数据相关性。在保证程序功能不变的前提下，如何调整上述指令顺序以减少指令相关？写出顺序调整后的指令代码段。（4 分）

参考答案:

```

Load  1#, A
Load  2#, B
Load  4#, E
Load  5#, F

```

Add 3#, 1#, 2#
Sub 6#, 4#, 5#
Store C, 3#
Add 7#, 3#, 6#
Store D, 6#
Store H, 7#

3. 假定执行一段程序过程中，在 Cache 中访问到的次数为 5000 次，在主存中访问到的次数为 200 次。设 Cache 存取周期为 5ns，主存存取周期为 100ns，则 Cache 命中率 H 和平均访问时间 Ta 各为多少？（4 分）

参考答案：

$$\text{命中率 } H = N_c / (N_c + N_m) = 5000 / (5000 + 200) = 5000 / 5200 = 96\%$$

$$\text{平均访问时间 } T_a = 5 \times 0.96 + 100 \times 0.04 = 8.8 \text{ ns}$$

4. 假定在 CPU 和主存之间有一个同步总线相连，其时钟周期为 50ns，单独设有 32 位地址线和 32 位数据线。主存读传输时，首先要花 1 个时钟周期发送地址和读命令，最终从总线取数要花一个时钟周期，存储器的取数时间为 230ns；主存写操作时，先花一个时钟周期送地址、数据和写命令，在随后的两个时钟周期内写入数据。要求分别求出该存储器进行连续读和写操作时的总线带宽。（4 分）

参考答案：

取数时间是 230ns，一个时钟周期是 50ns，所以取数后送到总线上的时间应该是 250ns，是时钟周期的整数倍。

$$\text{连续读: } 4B / (50 + 50 + 250) \times 10^9 = 11.4MB/s$$

$$\text{连续写: } 4B / (50 + 100) \times 10^9 = 26.7MB/s$$

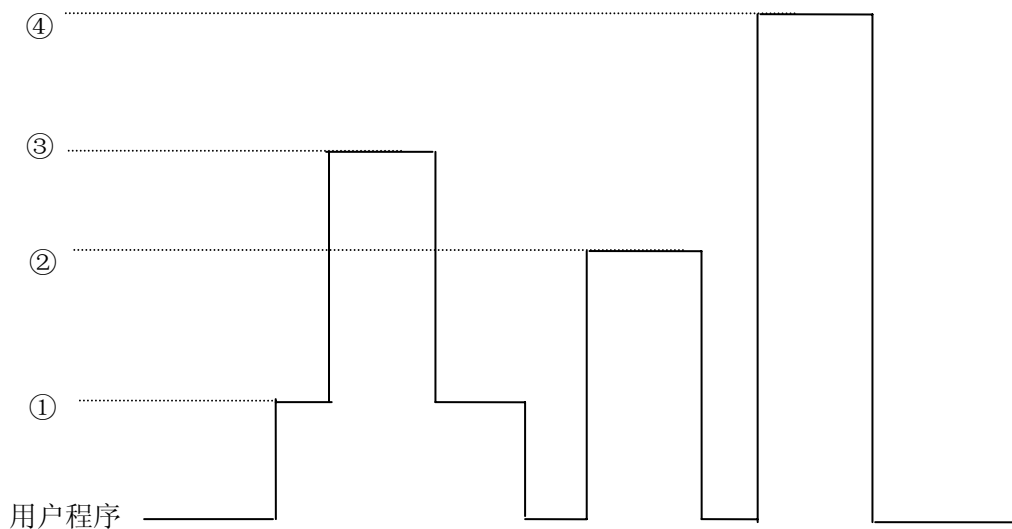
5. 假设某台机器有 4 级中断，其硬件排队优先次序为 1>2>3>4，中断处理优先次序为 3>1>2>4，要求：（4 分）
- （1）给出每级中断的中断屏蔽码（假设“1”表示屏蔽，“0”表示允许）
 - （2）假设在执行主程序时，1、2、3、4 级中断同时有请求，请画出 CPU 执行程序的轨迹。

参考答案：

各级中断的中断屏蔽码为：

	第 1 级	第 2 级	第 3 级	第 4 级
第 1 级	1	0	1	0
第 2 级	1	1	1	0
第 3 级	1	1	1	1
第 4 级	0	0	0	1

CPU 执行程序的轨迹：



得分

六、简答题（共 20 分）

1. 什么叫同步总线？什么叫异步总线？（2 分）

参考答案：同步总线有一个公共的时钟信号，总线事务过程中的所有操作都由时钟信号定时；异步总线没有公共的时钟信号，设备间的通信过程都由握手信号进行定时，采用异步应答方式进行。

2. 为什么高速缓存能提高 CPU 访问主存的速度？（3 分）

参考答案：

由于程序中代码和数据的访问具有局部化特点，在一个很短的时间内，程序访问的信息大多在某个局部空间内。把这个局部空间的信息事先存放到速度很快的高速缓存（Cache）中，每次访问时先到 Cache 中访问，因为程序访问的局部化特点，所以在 Cache 中找到的概率很大，也就是命中率会很高，所以，CPU 访问要求访问信息时，绝大多数情况下，不需要访问主存，而只要访问快速的 Cache 就行了。

3. 什么是页表？什么是快表？为什么要引入快表？（3 分）

参考答案：

页表是指分页虚拟存储器中反映每个用户程序页面是否装入内存、在内存哪个页框、存取权限如何、是否被修改过等信息的一个映射表。每个虚拟页对应一个表项。

快表是那些经常被访问的页表项组成的放置到高速缓存的一个页表。引入快表，主要是为了减少到主存去访问页表的次数，加快访问页表的过程。

4. 磁盘上和光盘上的“0”和“1”分别是如何表示的？（2 分）

参考答案：

磁盘上的“0”和“1”是磁头上的线圈通以不同方向的电流后在运动的磁介质表面形成的不同磁化状态来表示的；而光盘上的“0”和“1”是由于光盘表面的凹凸性而形成的不同反射特性来表示的。平坦部分和有凹凸变化的部分，其反射特性不同。

5. 什么叫指令周期？什么叫微程序？（2 分）

参考答案：

指令周期是指取并执行一条指令所花的时间。包括：取指令、指令译码、取操作数、运算、送结果。

微程序是指一条机器指令对应的微指令序列。

6. CPU 的功能是什么？指令译码器的功能是什么？什么叫 CPU 的主频？（4 分）

参考答案：

CPU 的功能是执行指令、检测并响应中断。

指令译码器的功能就是对指令操作码进行译码，给出当前指令的执行过程中所有到的操作控制信号。

CPU 的主频是控制每条指令执行时所用的同步时钟的频率。

7. 外设的 I/O 过程可以采用中断控制和 DMA 控制等不同的方式进行。试从多个方面对中断和 DMA 两种控制方式进行比较。（4 分）

参考答案：

中断方式和 **DMA** 方式的不同反映在以下几个方面：

- 1) 数据传送的执行者不同：中断是由 **CPU** 执行 I/O 指令来完成传送的；而 **DMA** 是由 **DMA** 控制器实现数据传送的；
- 2) 请求的对象不同：中断请求 **CPU** 的时间，而 **DMA** 请求的是总线控制权；
- 3) 适用的设备不同：中断适用于一般的快速设备，而 **DAM** 适用于磁盘之类的高速设备；
- 4) 外设和 **CPU** 的并行度不同：中断方式下，主机利用率低，外设和 **CPU** 的并行度低，**DMA** 方式下，主机利用率高，和外设并行度高；