

## 2004 级“计算机组织与结构”期终考试试题

姓名: \_\_\_\_\_ 学号: \_\_\_\_\_ 成绩 \_\_\_\_\_

## 一、填空题（本大题共 10 小题，每小题有一个或多个空，每空 1 分，共 20 分）

1. 信息被存入存储器的操作称为 存储器写 操作，从存储器中取出信息的操作称为 存储器读 操作，这两种操作统称为 存储器访问（访存/内存访问） 操作。
2. 计算机软件分为 系统 软件和 应用 软件两大类。例如，Windows 操作系统属于前者，文字处理软件 Word 属于后者。
3. 假设  $x=0.0101$ ,  $y=-0.1001$ , 则  $x-y$  的补码为 0.1110。操作后状态寄存器中以下几个标志位的值应为：ZF(零标志)=0, VF(溢出标志)=0, NF(符号标志)=0。
4. 对于有符号整数，计算机内部一般用 补 码定点数表示。假定定点有符号整数用 8 位来表示，则可表示的最大数为 127，最小数为 -128。
5. 若十进制数采用自然 BCD 编码表示，则一位十进制数要用 4 位二进制表示。
6. 西文字符一般采用 ASCII 码表示，这种编码用 7 位二进制数表示。
7. 相联存储器是不按地址而是按 内容 访问的存储器。在高速缓冲存储器中，用于采用 全相联（相联） 映射的 Cache 中。
8. 虚拟存储器中需要进行逻辑地址向物理地址的转换，在进行地址转换时，必须通过查找 页表 中存放的对应虚页的页框号，以得到真正的主存物理地址。
9. 在指令执行过程中，所有指令的执行都必须进行的操作是 取指令 操作，该操作从存储器中取出 指令，并送到控制器进行译码。

10. 中断处理程序的入口地址被称为 中断向量。

二、选择题（本大题共 18 小题，计 20 分。注：可以在横线上填入 1 个或多个选项）

1. 下列有关语言处理程序的描述中，错误的是 D。
  - A. 汇编程序是将指令的符号化表示转换为二进制代码的程序
  - B. 编译程序是将高级语言程序转换为可执行代码的程序
  - C. 解释程序是将高级语言程序进行解释执行，直接获得执行结果的程序
  - D. 机器语言程序是将汇编语言程序转换为目标代码的程序
2. 计算机的层次结构从上到下（或从外到内）依次是 B。
  - A. 系统软件、应用软件、硬件系统
  - B. 应用软件、系统软件、硬件系统
  - C. 系统软件、硬件系统、应用软件
  - D. 硬件系统、应用软件、系统软件
3. 下列数中最小的数是 B。
  - A.  $(1100100)_2$
  - B.  $(125)_8$
  - C.  $(1001\ 0010)_{BCD}$
  - D.  $(62)_{16}$
4. 下列字符码中带有偶校验的信息是 C。
  - A. 11001000
  - B. 10010010
  - C. 10010011
  - D. 01010111
5. 浮点数加减运算中，结果的尾数可能溢出，此时，采用的处理方法是 B。
  - A. 对尾数位数进行扩充
  - B. 结果右规，即将尾数右移，阶码加 1
  - C. 结果左规，即将尾数左移，阶码减 1
  - D. 调用溢出中断处理程序进行溢出处理
6. 以下各类存储器中， B 是易失性存储器。
  - A. ROM
  - B. RAM
  - C. 磁盘
  - D. 光盘
7. Cache 和主存之间的信息交换通过 B 实现。
  - A. 软件
  - B. 硬件
  - C. 软件和硬件共同
  - D. 操作系统

8. 程序计数器 PC 用来存放指令地址，每当执行完一条指令后，通常由程序计数器提供后继指令地址，其位数和     D     位数相同。
  - A. 指令寄存器 IR
  - B. 主存数据寄存器 MDR
  - C. 程序状态寄存器 PSR
  - D. 主存地址寄存器 MAR
9. 为使高速缓存有效发挥其预期的作用，所运行的程序应具有     C     的特性。
  - A. 不含有过多 I/O 操作
  - B. 程序大小不超过实际内存容量
  - C. 较好的访问局部性
  - D. 指令间相关不多
10. 动态 RAM 的刷新是以     B     为单位进行的。
  - A. 存储单元
  - B. 行
  - C. 块
  - D. 字节
11. 下列因素中，     A     与高速缓存的命中率无关。
  - A. Cache 存储速度
  - B. Cache 存储容量
  - C. Cache 替换算法
  - D. 在主存和 Cache 间交换的块大小
12. 下列说法中，错误的是     A    。
  - A. 多模块交叉存储器的引入主要是为了解决主存容量不足问题
  - B. 虚拟存储器的引入主要是解决多道程序在有限的内存空间分配的问题
  - C. Cache 的引入主要是解决内存访问的速度问题
  - D. 双口存储器的引入主要是解决对同一个存储部件要求同时进行读写的问题
13. 输入/输出指令的功能是     C    。
  - A. 进行主存和 I/O 端口之间的信息交换
  - B. 进行主存与 CPU 之间的信息交换
  - C. 进行 CPU 和 I/O 端口之间的信息交换
  - D. 进行 I/O 设备之间的信息交换
14. 下列叙述中，能反映 RISC 特征的有     C    。
  - A. 丰富的寻址方式
  - B. 使用微程序控制器
  - C. 仅 LOAD/STORE 指令能访存
  - D. 指令长度可变
15. 增加总线带宽的手段有很多，但以下     A     的做法不能提高总线带宽。
  - A. 采用信号线复用
  - B. 增加数据线宽度
  - C. 采用猝发传送方式，允许大数据块传送
  - D. 采用交叉存取方式，提高总线利用率

D. 增高总线时钟频率

16. 控制器的功能是  D 。

A. 产生时序信号

B. 从主存取指令

C. 对指令操作码进行译码

D. 从主存取指令，并对指令操作码进行译码，生成相应的操作控制信号

17. 假定一个磁盘的转速为 7200RPM，道间移动时间为 0.01ms，共有 1024 个磁道。

那么，该磁盘的平均存取时间(average access time)是  B 。

A. 13.45ms

B. 9.28ms

C. 19.56ms

D. 14.4ms

18. 计算机系统发生异常事件或外设完成 I/O 任务时，一般都通过中断方式请求 CPU 执行相应的中断服务程序来处理。在以下给出的情况中，哪个不会引起中断？

C  (3 分)

A. 键盘缓冲满

B. 一个字符打印完

C. 运算结果为 0

D. 页面失效(miss)

19. 假设 CRT 的分辨率为 1024×768 像素，像素的颜色数为 256，则刷新存储器的容量至少应为  B 。

A. 512KB

B. 1MB

C. 256KB

D. 2MB

20. 采用“周期挪用”方式进行 DMA 传送时，每传送一个数据要挪用  D  的时间。

A. 指令周期

B. 机器周期

C. 时钟周期

D. 存储周期

三、判断下列叙述是否正确。(10 分)

1. 同步总线的定时需要统一的时钟信号。( T )

2. 主存和高速缓存都是采用随机访问方式。( T )

3. 执行 SS 型指令比执行 RS 型指令所花时间长。( T )

4. 机器的主频越高，机器的速度就越快。( F )

5. 寄存器间接寻址方式下，操作数总是存放在寄存器中。( F )

6. 同一条指令在流水线方式下比串行执行时所花的执行时间更短。( F )

7. CPU 中控制器的实现方式有采用组合逻辑设计的硬连线路方式和微程序设计方式两种。采用硬连线路设计的控制器比微程序控制器速度快。( T )
8. DMA 方式用于高速设备和主存之间传送成组数据, 所以 DMA 控制器申请总线使用权后, 总是要等一批数据传送完成后才释放总线。( F )
9. 中断响应的优先级由硬件排队线路决定, 而中断处理优先级由屏蔽码决定。( T )
10. 采用统一编址法, 可以使用访存指令读写 I/O 端口的数据。( T )

#### 四、计算题 (10 分)

1. 已知在一个 C 语言程序中定义的变量 x 的类型为 float, 其值为 -1.75。假定计算机内部用 IEEE754 单精度浮点数来表示 float 类型, 则变量 x 在一个 32 位的浮点寄存器中的值是什么? (要求用十六进制表示) (4 分)

解:  $-1.75 = -1.11_2 = -1.11_2 \times 2^0$

符号  $f=1$ , 阶码  $e=127+0=01111111$ , 尾数  $m=11000...0$

1 011 1111 1 110 0000 0000 0000 0000

十六进制表示为: **BFE00000**

2. 已知在一个 C 语言程序中定义了两个 int 类型的变量 x, y 和 z,  $x=32766$ ,  $y=-20$ 。请按计算机内部定点数运算规则计算: ①  $z = x+y=?$ , ②  $z = x-y=?$  (要求写出计算过程, 并判断结果是否溢出, 结果用十进制表示并验证。) (6 分)

解: 计算机内部总是用补码表示定点整数, int 型的变量为 16 位整数, 所以:

$$x=32766=+111\ 1111\ 1111\ 1110_2 \quad [x]_{\text{补}}=0111\ 1111\ 1111\ 1110$$

$$y=-20=-000\ 0000\ 0001\ 0100_2 \quad [y]_{\text{补}}=1111\ 1111\ 1110\ 1100$$

$$[-y]_{\text{补}}=0000\ 0000\ 0001\ 0100$$

$$\begin{aligned} [x+y]_{\text{补}} &= [x]_{\text{补}} + [y]_{\text{补}} = 0111\ 1111\ 1111\ 1110 + 1111\ 1111\ 1110\ 1100 \\ &= 0111\ 1111\ 1110\ 1010 \end{aligned}$$

所以:  $x+y = +32746$  ( $32767-1-4-16=32767-21=32746$ )

$$\begin{aligned} [x-y]_{\text{补}} &= [x]_{\text{补}} + [-y]_{\text{补}} = 0111\ 1111\ 1111\ 1110 + 0000\ 0000\ 0001\ 0100 \\ &= 1000\ 0000\ 0001\ 0010 \end{aligned}$$

两个正数 (符号为 0) 相加, 结果为负数 (符号为 1), 所以溢出。

验证:  $x+y = 32766-20=32746$ ,

**$x-y=32766+20=32786>$ 最大正整数 32767，溢出！**

### 五、分析设计题（共 20 分）

1、假定一台机器具有 24 位地址  $A_{23}-A_0$ ，按其最大寻址能力配置了一个主存储器，主存采用字节编址方式，问：

- (1) 存储器的容量是多少？
  - (2) 如果用  $2M \times 1$  位的存储器芯片构造该存储器，共需多少个芯片？
  - (3) 该存储器需要多少个片选信号？用哪几位地址信号去生成这些片选信号？
- （共 4 分）

**解：(1) 存储器的容量为  $2^{24}=16MB$ 。**

**(2) 共需  $16MB/2Mb=8 \times 8=64$  个芯片。**

**(3) 该存储器需要 8 个片选信号。用  $A_{23}A_{22}A_{21}$  三位地址信号去生成这些片选信号。**

2、假定在 CPU 和主存之间有一个同步总线相连，其时钟周期为 50ns，单独设有 32 位地址线和 32 位数据线。主存读传输时，首先要花 1 个时钟周期发送地址和读命令，最终从总线取数要花一个时钟周期，存储器的取数时间为 200ns；主存写操作时，先花一个时钟周期送地址、数据和写命令，在随后的两个时钟周期内写入数据。要求分别求出该存储器进行连续读和写操作时的总线带宽。(4 分)

**解：(1) 存储器读所花时间： $50ns+200ns+50ns=300ns$  所以存储器进行连续读时的总线带宽为： $4B/300ns=13.3MB/s$ 。**

**(2) 存储器写所花时间： $50ns+50ns+50ns=150ns$  所以存储器进行连续写时的总线带宽为： $4B/150ns=26.6MB/s$ 。**

3、假设某台机器有 4 级中断，其硬件排队优先次序为  $1>2>3>4$ ，中断处理优先次序为  $3>1>4>2$ ，要求：

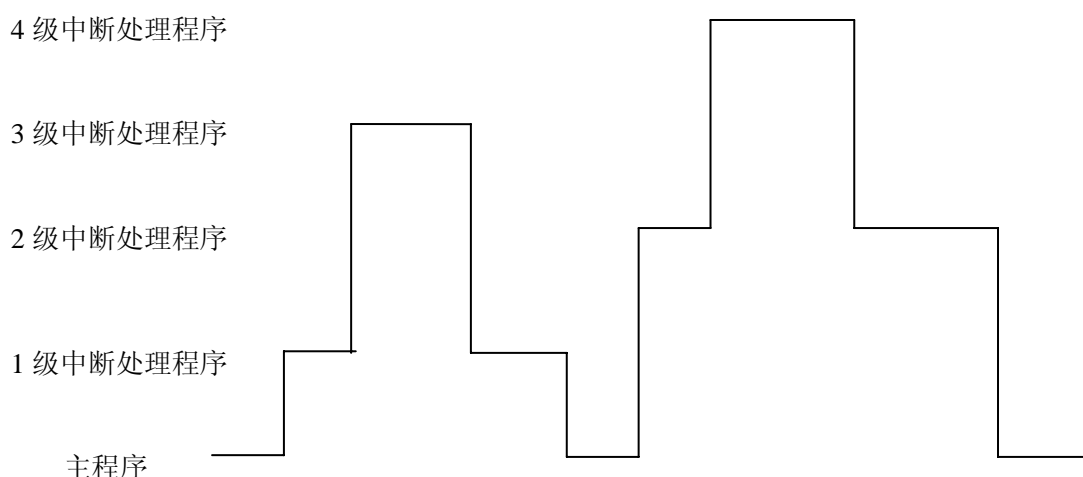
- (1) 给出每级中断的中断屏蔽码（假设“1”表示屏蔽，“0”表示允许）
- (2) 假设在执行主程序时，1、2、3、4 级中断同时有请求，请画出 CPU 执行程序的轨迹。(4 分)

**解：(1) 各级中断的中断屏蔽码为：**

	1 级中断	2 级中断	3 级中断	4 级中断

1 级中断屏蔽码	1	1	0	1
2 级中断屏蔽码	0	1	0	0
3 级中断屏蔽码	1	1	1	1
4 级中断屏蔽码	0	1	0	1

(2) CPU 执行程序的轨迹为:



- 4、若一台机器 CPU 的时钟频率为 50MHz，硬盘和主存之间以 DAM 方式传输数据。假设硬盘以 32 位的字为单位进行传输，数据传输率为 1MB/s，DMA 的初始化操作需要 1000 个时钟周期，传输完成时中断处理需要 500 个时钟周期，平均传输的数据长度为 4KB(此处 1K=1000)，请问在磁盘连续不断工作的情况下处理器用于磁盘数据传输的时间百分比是多少？（假定不考虑 DMA 申请总线的时间）假定采用中断方式进行控制，每次传输 32 位所用的开销为 100 个时钟周期，则中断方式下，处理器用于磁盘数据传输的时间百分比又是多少？（8 分）

解：DMA 方式：

第一种解法：

硬盘和主存之间以 DAM 方式传输数据时，需经历三个阶段：

1) DMA 控制器初始化并启动阶段，由处理器执行指令完成：

$$1000 \text{ 个时钟} \times 1/50\text{M} = 20\mu\text{s}$$

2) 数据传送，由 DMA 控制器控制完成：一批数据共 4KB，每次 32 位，共需 1000 次。

$$\text{每次所花时间为：}(4\text{B}/1\text{MB})\text{秒} = 4\mu\text{s}$$

所以总共花:  $1000 \times 4 = 4000 \mu s$

3) 结束时中断处理, 由处理器执行指令完成:  $500 \text{ 个时钟} \times 1/50M = 10 \mu s$

所以, 在整个数据传送过程中, 处理器介入 I/O 的时间百分比为:  $(20+10)/4000 = 0.75\%$

另一种解法:

每个 DMA 传送将花  $4KB/(1MB/Sec) = 4 \times 10^{-3}$  秒;

一秒钟有  $1/(4 \times 10^{-3}) = 250$  次 DMA 传送;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花  $(1000+500) \times 250 = 375 \times 10^3$

个时钟周期来为硬盘 I/O 操作服务;

在硬盘 I/O 操作上处理器花费的时间占:  $375 \times 10^3 / 50 \times 10^6 = 7.5 \times 10^{-3} = 0.75\%$ 。

中断方式

第一种解法:

中断方式下, 每次中断完成一次数据的传送, 其开销为:  $100/50 \times 10^6 = 2 \mu s$ , 磁盘传送一个字 (32 位) 的时间为: 每次所花时间为:  $(4B/1MB)$  秒 =  $4 \mu s$ 。所以处理器用于磁盘数据传输的时间百分比为:  $2/4 = 50\%$

另一种解法:

硬盘要求每次中断以 32 位 (=4 字节) 进行传送, 为了保证没有任何数据传输被错过, 传送的速率应达到每秒  $1MB/4B = 250K$  次中断的速度; 每秒钟用于中断的周期数为  $250K \times 100 = 25 \times 10^6$ ; 在一次传输中所消耗的处理器时间的百分比为:  $25 \times 10^6 / (50 \times 10^6) = 50\%$ ;

## 六、简答题 (共 20 分)

1. 冯·诺依曼结构规定计算机内部采用二进制表示信息, 但为什么还要用到十六进制? 在什么情况下用十六进制? (2 分)

答: 通过把二进制转换为十六进制表示, 便于书写和阅读。

2. 指令和数据以什么方式存放在主存? 计算机如何区分它们? (2 分)

答: 以二进制信息存放, 通过指令执行的不同阶段来区分, 取指令阶段取出的是指令, 取数阶段取出的是数据。

3. 简述变址寻址方式及其作用。(2 分)

答: 变址寻址方式指令中给出形式地址, 与变址寄存器中的变址值相加, 得到有效地址。寻址方式主要用于程序循环体中对数组元素的访问



4. 什么叫总线裁决？请至少列出一种集中式裁决方式。（2 分）

答：总线裁决是指两个或以上设备同时要求使用总线时，要有一种方法判断让哪个设备使用总线，这个判断过程称为总线裁决。例如，菊花链和并行判优都是集中式裁决方式。

5. 什么是快表？为什么要引入快表？（2 分）

答：快表是指存放在 **Cache** 中的一些页表项构成的表。将经常使用到的页表项放到 **Cache** 中，可以减少访问内存的次数，加快逻辑地址向物理地址转换的速度。

6. 至少举出两个流水线被破坏的原因。（2 分）

答：在发生中断、数据（地址）相关、条件转移和资源冲突情况下，流水线可能被破坏。

7. 微程序控制的基本思想是什么？（2 分）

答：用软件设计的思想来实现控制器。设计实现控制器时，事先把指令系统中的每条指令所对应的微程序存放在一个只读存储器中，当执行到某条指令时，只要从这个 **ROM** 中读出对应的微程序，对微程序中的每条微指令解释执行，送出所包含的控制信号。

8. 简述计算机系统中的分层存储体系结构。说明这种分层存储体系结构中有哪些类型的存储器，每类存储器的特点，如何构成，为什么要采用这种分层结构。（6 分）

答：计算机中有多种存储器，包括：**CPU** 中的寄存器、处于 **CPU** 和主存之间的 **Cache**、主存、磁盘、光盘和磁带。寄存器由触发器构成，速度快，但价格贵；**Cache** 由 **SRAM** 芯片构成，速度快，但集成度低，价格较贵；主存由 **DRAM** 芯片构成，集成度高，价格较便宜，但速度比 **Cache** 低；磁盘的容量大，价格便宜，速度比主存低，适合于作辅助存储器；磁带和光盘携带方便，价格最低，容量很大，一般用作数据备份。分层存储体系结构如下图所示。这样构造存储器系统，使得面向 **CPU** 的是一个速度很快、容量很大和价格较便宜的存储器。

