

2003 级“计算机组织与结构”期终考试试题

姓名：_____学号：_____成绩_____

一、填空题（本大题共 9 小题，每小题有一个或多个空，每空 1 分，共 20 分）

1. 一条指令中必须包含以下两个基本部分：_____操作码_____和_____地址码_____。
2. 假设 $x=0.0101$, $y=0.1001$, $n=5$, 则 $x-y$ 的补码为_____1.1100_____。操作后状态寄存器中以下几个标志位的值应为：ZF(零标志)=0, VF(溢出标志)=_____0_____, NF(符号标志)=_____1_____。
3. 如果 CPU 要读取主存单元的内容，那么 CPU 在取得总线控制权后，需要马上通过总线向主存发送相应的_____主存读_____控制信号和_____地址_____信息。
4. 若某位片式动态随机存储器芯片容量为 256K 位，采用行列地址复用技术，则该芯片需_____9_____个地址引脚线，_____1_____个数据输入引脚线，_____1_____个数据输出引脚线。
5. 用 4K \times 8 位的存贮芯片组成一个 64K \times 16 位的存贮器，共需_____32_____块芯片及_____16_____个片选信号。
6. 检查有无中断请求的操作安排在_____指令周期_____之后，而检查有无 DMA 请求的操作安排在_____机器周期_____之后。
7. DMA 方式适用于在_____高速_____外设和_____主存_____之间直接进行数据传送。
8. 补码乘法运算可以分解为_____加法_____和_____右移（移位）_____两种基本操作。
9. 已知十进制数 $X=-66$ ，求相应的二进制数 $X_2=$ _____1000010_____。假定采用 8 位寄存器存放 $[X]_{\text{补}}$ ，则该寄存器中的内容为：_____1 0111110_____。

8. 下列几种存储器中, A 是易失性存储器。
- A. Cache B. EPROM C. Flash Memory D. CD-ROM
9. 假定一个磁盘的转速为 7200RPM, 道间移动时间为 0.01ms, 共有 1024 个磁道。那么, 该磁盘的平均存取时间(average access time)是 B 。
- A. 13.45ms B. 9.28ms C. 19.56ms D. 14.4ms
10. 计算机系统发生异常事件或外设完成 I/O 任务时, 一般都通过中断方式请求 CPU 执行相应的中断服务程序来处理。在以下给出的情况中, 哪些是可能的中断请求?

 A B C D G H I J K L (5 分)

- | | |
|-------------------|-------------------|
| A. 键盘缓冲满 | B. 一个字符打印完 |
| C. 运算结果为 0 | D. 页面失效(miss) |
| E. TLB 失效(miss) | F. Cache 失效(miss) |
| G. 访问内存超时 | H. 地址越界 |
| I. 保护违例(内存访问类型不符) | J. 除数为 0 |
| K. DMA 传送结束 | L. 非法操作码 |

三、判断下列叙述是否正确, 并对错误的叙述改错。(14 分)

1. 原码、补码和移码三种编码表示中, 只有原码的“零”的表示不是唯一的。(对)
2. 一般情况下, 用 DRAM 作主存, 用 SRAM 作 Cache。(对)
3. 指令长度一般是 8 的整数倍。(对)
4. 用 MFM 记录方式得到的磁表面存储器的记录密度比 FM 方式的记录密度高一倍左右。
(对)
5. 间接寻址方式下, 操作数总是存放在寄存器中。(错)
间接寻址方式下, 操作数总是存放在主存单元中。
6. 若 Cache 采用直接映射方式, 则无须考虑替换问题。(对)

7. CPU 中控制器的实现方式有采用组合逻辑设计的硬连线路方式和微程序设计方式两种。采用硬连线路设计的控制器比微程序控制器速度快。(对)

8. DMA 方式用于传送成组数据, 所以 DMA 控制器申请总线使用权后, 总是要等一批数据传送完成后才释放总线。(错)

DMA 方式用于传送成组数据, 但是 DMA 控制器可以用“周期挪用”法进行数据传送。DMA 控制器申请得到总线使用权后, 每次占用一次总线事务进行一个数据传送, 传送结束后立即释放总线。也可以等一批数据传送完成后才释放总线。

9. 通常每个外部设备都用一个接口电路与主机连接。因此主机只能用唯一的地址来访问一个外部设备。(错)

通常每个外部设备都用一个接口电路与主机连接。但是一个 I/O 接口中可能有多个 I/O 端口, 每个端口都有一个地址, 因此主机可用多个地址来访问一个外部设备。

10. 一条指令只能有一种寻址方式。(错)

一般每个地址码要指定一种寻址方式, 所以在多地址指令中可能有多个寻址方式。

11. 在 DMA 控制器控制数据在磁盘和主存间进行交换时, CPU 处于停止执行指令状态。(错)

在 DMA 控制器控制数据在磁盘和主存间进行交换时, CPU 处于停止不能访问主存, 但可以执行指令。

12. 在设计指令系统时, 下条指令的地址一般总是明显地在指令中给出。(错)

一般下条指令的地址一般总是由程序计数器 PC 给出。

13. 多路选择器的作用是在多个输入中选择其中之一。三选一的多路选择器应有两位控制信号。(对)

14. 假定某次存储器访问在页表中失效, 那它一定在 Cache 中也失效。(对)

四、计算题 (6 分)

已知 $X=2^3*(-5/16)$, $Y=2^4*(13/16)$, 请按浮点数运算规则, 计算: ① $X-Y=?$ ② $X+Y=?$
其浮点数的阶码和尾数都用变形补码表示, 存放格式如下:

阶符 (2 位)	阶码 (3 位)	尾符 (2 位)	尾码 (4 位)
----------	----------	----------	----------

假定采用 0 舍 1 入法进行舍入, 采用 1 位保护位, 运算结果要求规格化。

请按顺序将每步的中间结果填入下表右栏中:

项目名称		结果
$[X]_{\text{浮}}$		00 011, 11.1011
$[Y]_{\text{浮}}$		00 100, 00.1101
$[E_X-E_Y]_{\text{补}}$		11.111
E_X-E_Y		-1
对阶结果	对 $[X]_{\text{浮}}$ 进行对阶	00 100, 11.1101 1
尾数加减	$[M_X+M_Y]_{\text{补}}$	00.1010 1
	$[M_X-M_Y]_{\text{补}}$	11.0000 1
规格化并舍入	$[X+Y]_{\text{浮}}$	00 100, 00.1011
	$[X-Y]_{\text{浮}}$	00 100, 11.0001
最终结果	$X+Y$	$2^4*(11/16)$
	$X-Y$	$2^4*(-15/16)$

五、分析设计题 (共 24 分)

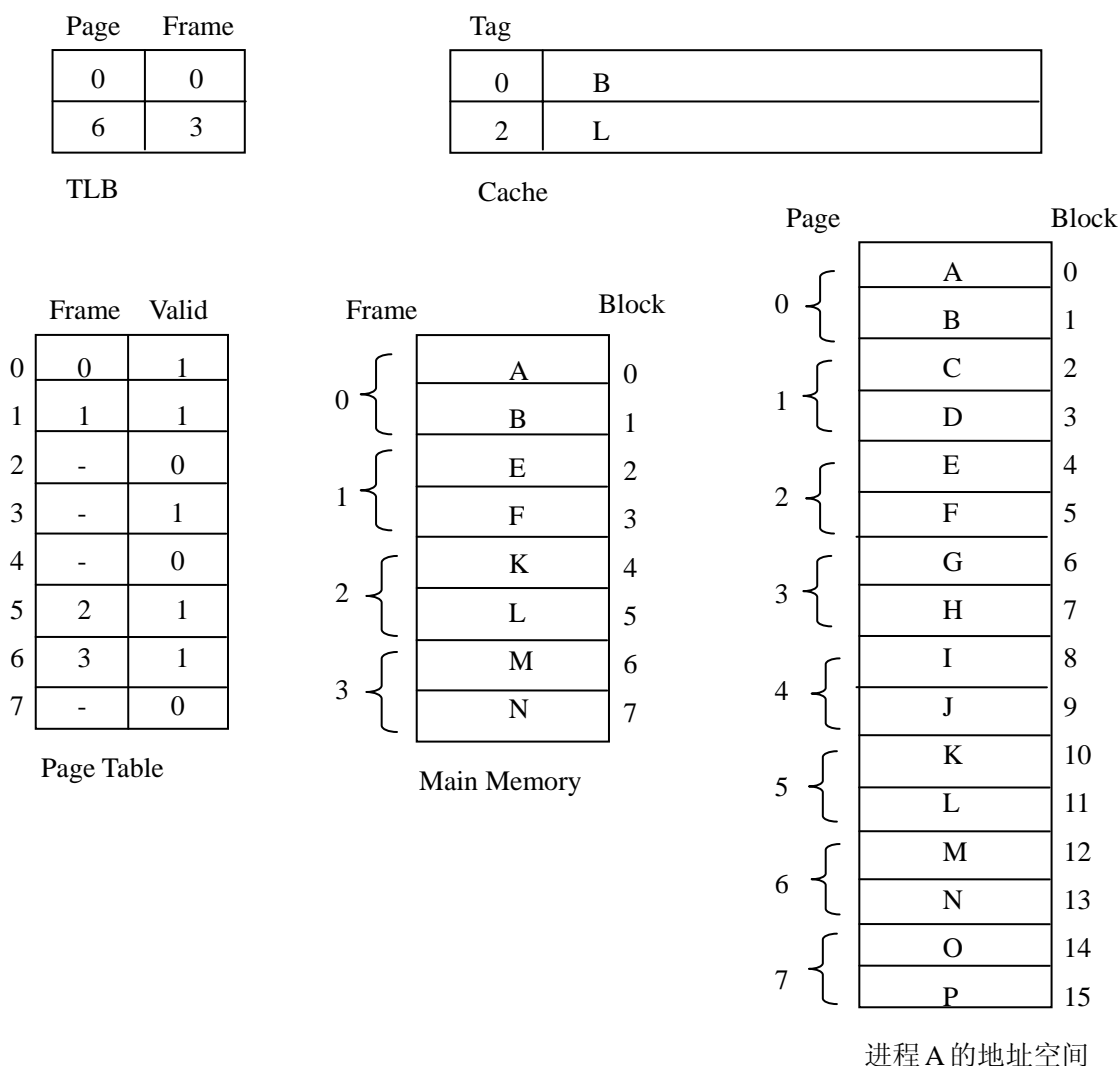
- 1、假定同步总线的时钟周期为 50ns, 每次总线进行主存读传输时首先要花 1 个时钟周期发送地址和读命令, 最终从总线取数要花一个时钟周期, 总线的数据线为 32 位宽, 存储器的取数时间为 200ns。要求求出该存储器进行连续读操作时的总线带宽。(4 分)

解: 一次“主存读”事务的时间为: $50\text{ns}+200\text{ns}+50\text{ns}=300\text{ns}$

所以连续读操作时的总线带宽为: $4\text{B}/300\text{ns} = 13.3\text{MB/s}$

- 2、假定一个虚拟存储器系统采用分页方式进行存储管理, 其 TLB 中含有 2 个页表项, Cache 采用直接映射技术, 主存有 8 块, 块长为 8 个字。虚存空间有 8 页, 页大小为 16 个字。

假定程序 A 对应的虚存空间有 8 页。下图给出了 TLB、页表、Cache、主存和程序 A 的虚存空间中的内容。



要求根据以上假设，回答下列问题。（8 分）

- (1) 找出图中错误之处，并说明理由。
- (2) 虚拟（逻辑）地址的位数有多少位？说明理由。
- (3) 主存（物理）地址的位数有多少位？说明理由。
- (4) 给出主存地址的划分（说明主存地址分几个字段，各字段的位数是多少）。
- (5) 说明虚拟地址 90 （十进制）号单元的访问过程。

解：(1) 错误之处有三个：页表中第三项的 Valid 不应为 1；页表的第一项和第二项应换一下；主存块 1 中的数据 B 不应映射到 Cache 中第 0 槽。

(2) 虚拟地址有 7 位。

(3) 主存地址有 6 位。

(4) 主存地址划分：高 2 位为标志，中间一位 Cache 槽号，最后三位为块内地址。

(5) $90 = 101\ 1010H$ ，应先到 TLB 中找，找不到第 5 页对应页表项，然后到页表中找到其对应页框号为 2，故其物理地址为 $10\ 1\ 010H$ ，根据主存地址划分，知，该地址所在块应该在 Cache 的第 1 槽，然后将高 2 位 10 和 该槽中的标志 01 进行比较，结果相等，故该单元在第 1 槽中，再根据最后三位取出即可。

3、某计算机的软盘面每道共 4 个数据块，每块 2250 个字节，每两个数据块之间有一间隙。该计算机处理器的时钟频率为 500MHz，主存的存储周期为 500 毫微秒，每次按字节宽度存取和传送。

(1) 若软盘驱动器转速为 300 转/分，通过每一间隙的时间为 5MS，则磁盘读出的最大速率是多少？假定用中断方式进行数据传送，每次传送的开销（包括中断响应和中断处理的时间）为 500 个时钟周期，则在软盘一直持续进行读写而不错过任何数据的情况下，处理器花在磁盘 I/O 上的时间百分比为多少？

(2) 若磁盘转速提高一倍，则磁盘读出速率可达多少？这时若用 DMA 方式进行盘的读出控制，主存频带空闲百分比是多少（这时假定 CPU 停止访问内存）？若 CPU 同时执行 R-R 型指令，在运算器中操作的平均执行时间为 1.5 微秒，则这时 CPU 执行这类指令的最快和最慢速度各是多少？（12 分）

答：(1) 磁盘转一圈的时间为： $60 \times 10^3 / 300 = 200ms$

转过一个数据区的时间为： $(200 - 4 \times 5) / 4 = 45\ ms$

读出最大速率为 $2250B / (45 \times 10^{-3}) = 50KB/s$

若采用中断方式，每读写一个字节，发生一次中断。要保证磁盘在持续读写过程中没有一个数据错过，则每秒钟处理器必须响应并处理 $50KB / 1B = 50K$ 次中断。

因此，处理器每秒钟必须花费 $50K \times 500 = 25000K$ 个时钟周期在磁盘的 I/O 上。

所以 其时间百分比为 $25000K / 500M = 5\%$

(2) 若盘速提高一倍，则磁盘读出速率应为 $100KB/s$

所以读一个字节所花的时间为 $1/100 = 0.01\ ms = 10000\ 毫微秒\ (ns)$

每个字节花 $10000/500 = 20$ 个存储周期的时间

所以 DMA 方式下的主存频带空闲百分比为 $1 - 1/20 = 95\%$

执行 R-R 型指令时，最快： $0.5 + 1.5 = 2\ 微秒$

最慢： $0.5 + 0.5 + 1.5 = 2.5\ 微秒$ （取指令时正好和 DMA 冲突）

六、简答题（共 20 分）

- （1） 什么叫程序访问的空间局部性？什么叫程序访问的时间局部性？Cache 技术是如何用程序访问的局部化特性来快速访问信息的？（4 分）
- （2） 简述变址寻址方式及其作用。（3 分）
- （3） 什么是同步总线控制方式？什么是异步总线控制方式？（4 分）
- （4） 什么是快表？为什么要引入快表？（3 分）
- （5） 至少举出两个流水线被破坏的原因。（2 分）
- （6） 中断处理过程（即：中断服务程序的执行）由三个阶段组成。请问是哪三个阶段？各阶段要完成哪些主要的工作？（4 分）